

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-202052  
(P2001-202052A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl.<sup>7</sup>

G 0 9 G 3/20  
3/36

識別記号

6 1 2

F I

G 0 9 G 3/20  
3/36

テーマコード (参考)

6 1 2 K 5 C 0 0 6  
5 C 0 8 0

審査請求 未請求 請求項の数13 O L (全 25 頁)

(21) 出願番号 特願2000-54711(P2000-54711)

(22) 出願日 平成12年2月29日 (2000.2.29)

(31) 優先権主張番号 特願平11-318499

(32) 優先日 平成11年11月9日 (1999.11.9)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 坂口 修久

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

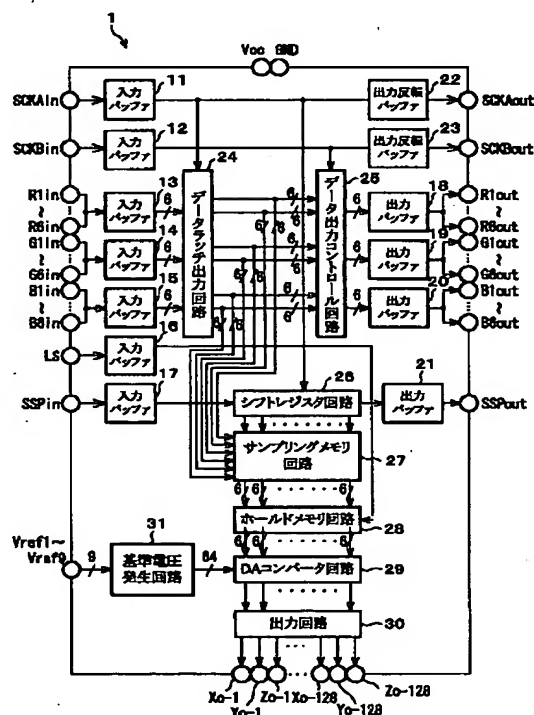
最終頁に続く

(54) 【発明の名称】 半導体装置および表示装置モジュール

(57) 【要約】

【課題】 転送用クロック信号 SCKA の動作周波数の拡大と信頼性の高い半導体装置およびそれを用いた表示装置モジュールを提供する。

【解決手段】 ソースドライバ群を構成する縦続接続された各ソースドライバ 1 の入力部である、表示データ D をパラレルデータに変換するためのデータラッチ出力回路 24 を、転送用クロック信号 SCKA の立ち上がり立ち下りの両エッジで表示データ D を分割して取り込むように設ける。出力部に、転送用クロック信号 SCKA と位相の異なる同期用クロック信号 SCKB で同期を取って、分割された表示データ D をシリアルデータに変換して次のソースドライバ S に出力するデータ出力コントロール回路 25 を設ける。これによれば、表示データ D の転送を安定化しながら、転送用クロック信号 SCKA のクロック周波数を、表示データ D に必要なデータ転送レートより低減できる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】複数の半導体処理部が縦続接続され、初段の半導体処理部に入力した複数の信号を、他の半導体処理部に半導体処理部内を通して順次転送する自己転送方式を含む半導体装置において、

上記半導体処理部の入力部には、自己転送方式で転送される、シリアルデータの表示用データ信号を、クロック信号の立ち上がり・立ち下りの両エッジをデータ取り込みタイミングとすることで、1チャンネルからNチャンネル（Nは自然数）に分割してパラレルデータに変換するための分割手段が設けられ、

上記半導体処理部の出力部には、Nチャンネルに分割されてパラレルデータに変換された該表示用データ信号を再度1チャンネルのシリアルデータに合成する合成手段が設けられていることを特徴とする半導体装置。

【請求項 2】前記のNは2であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記のNは4であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】前記半導体処理部には、互いに位相のずれた各クロック信号が供給されており、上記の各クロック信号は、上記分割手段に使用される転送用クロック信号と、表示用データ信号を1チャンネルに前記合成手段によって合成する際の同期用クロック信号とを有していることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】前記半導体処理部に、前記クロック信号を基に位相をずらせて、表示用データ信号を1チャンネルに前記合成手段によって合成する際に使用する同期用クロック信号を作成する同期用クロック信号作成回路が設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】前記の同期用クロック信号は、転送用クロック信号より1/4周期分遅延した信号であることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 7】前記半導体処理部には、表示用データ信号を分割するための、互いに位相のずれたm相（mは自然数）の各クロック信号を、上記各クロック信号の一つから他のクロック信号を遅延により生成する遅延手段が設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】前記合成手段は、前記のNチャンネルに分割された表示用データ信号を1チャンネルに合成するための、表示用データ信号の同期用クロック信号と、この同期用クロック信号を基にして生成した制御信号とにより、上記のNチャンネルに分割されてパラレルデータに変換された表示用データ信号を、1チャンネルのシリアルな表示用データ信号に変換する変換手段を有していることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】前記のNチャンネルに分割された該表示用データ信号を再度1チャンネルに合成するための同期用

クロック信号を基に、分割のための複数のクロック信号を作成する作成手段が設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 10】前記の作成手段は、m相（mは自然数）の転送用クロック信号を、前記の同期用クロック信号を基に、上記同期用クロック信号を1/(2m)周期分ずつ遅延させて作成するようになっていることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】前記半導体処理部は、表示部を表示用データ信号によって駆動するための駆動回路であることを特徴とする請求項 1 ないし 10 の何れかに記載の半導体装置。

【請求項 12】上記請求項 1 ないし 11 の何れかに記載の半導体装置と、上記半導体装置により駆動される表示部とを備えていることを特徴とする表示装置モジュール。

【請求項 13】上記表示部は、液晶表示部であることを特徴とする請求項 12 記載の表示装置モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の半導体処理部を縦続接続してなる半導体装置及びこれを用いた表示装置モジュールに関するものである。

## 【0002】

【従来の技術】従来の液晶表示装置モジュールにおける半導体処理部のシステム構成を図20に示す。図20に示すように、LSI (Large Scale Integrated circuit) からなる複数のソースドライバ51…とゲートドライバ52…とが、それぞれをソースドライバS及びゲートドライバGとして、TCP (Tape Carrier Package) 53 に搭載された状態で液晶パネル54に実装されている。これら複数のソースドライバS…は液晶パネル54におけるソースバスライン（不図示）の駆動を担い、複数のゲートドライバG…は、液晶パネル54におけるゲートバスライン（不図示）の駆動を担うものである。

【0003】各ソースドライバ51及びゲートドライバ52の液晶パネル54側の端子（端子群）は、各TCP 53に形成された配線を介して、液晶パネル54上のITO (Indium Tin Oxide: インジウムスズ酸化物) からなる端子（不図示）に電気的に接続されている。両者の電気的接続は、例えばACF (Anisotropic Conductive Film: 異方性導電膜) を介して両者を熱圧着することになされる。また、各ソースドライバ51及びゲートドライバ52のフレキシブル基板55側の端子も、各TCP 53に形成された配線を介して、フレキシブル基板55上に設けられた配線に上述したACF或いはハンダ付けで電気的に接続されている。

【0004】これにより、コントローラ回路56からのソースドライバ51…への表示用データ信号（R・G・Bの3種の信号）、並びにソースドライバ51…及びゲ

## 3

ートドライバ52…への各種制御信号及び電源（GN D、Vcc）の供給は、フレキシブル基板55上の配線及び各TCP53上の配線を通して行われる。

【0005】ここで、ソースドライバSは、第1ソースドライバS（1）～第8ソースドライバS（8）の合計8個配設されており、ゲートドライバGは、第1ゲートドライバG（1）及び第2のゲートドライバG（2）の合計2個が配設されている。

【0006】そのうち、第1ソースドライバS（1）～第8ソースドライバS（8）は、8個の同一のソースドライバ51…が、コントローラ回路56から出力される表示用データ信号R・G・B、スタートパルス入力信号SSPI、及びクロック信号SCKの供給において縦続接続されている。

【0007】また、第1ゲートドライバG（1）及び第2ゲートドライバG（2）においても、同一のゲートドライバ52が2個、コントローラ回路56から出力されるクロック信号GCK及びスタートパルス入力信号GSP Iの供給において、縦続接続されている。図21に、各種信号を出力する上記コントローラ回路56の端子部構成を拡大して示す。

【0008】上記液晶パネル54の画素数は、例えば1024画素×3（RGB）〔ソース側〕×768画素〔ゲート側〕である。したがって、第1ソースドライバS（1）～第8ソースドライバS（8）の各ソースドライバ51は、それぞれ64階調の表示を行うと共に、それぞれ128画素×3（RGB）を駆動するようになっている。

【0009】図22に、ソースドライバ51の構成を示す。図22に示すように、ソースドライバ51は、シフトレジスタ回路61、データラッチ回路62、サンプリングメモリ回路63、ホールドメモリ回路64、基準電圧発生回路65、DAコンバータ回路66、及び出力回路67から構成されている。

【0010】シフトレジスタ回路61は、例えば縦続接続された複数のラッチ回路（不図示）を有した構成である。このソースドライバ51を初段の第1ソースドライバS（1）のものであるとして動作を説明すると、シフトレジスタ回路61は、前述のコントローラ回路56の端子SSPIから出力され、ソースドライバ51の入力端子SSPinに投入した、表示用データ信号R・G・Bの水平同期信号と同期を取ったスタートパルス入力信号SSPIを、コントローラ回路56の端子SCKから出力され、ソースドライバ51の入力端子SCKinに投入したクロック信号SCKにてシフト（伝搬・転送）させる。

【0011】このシフトレジスタ回路61にてシフトされたスタートパルス入力信号SSPIは、その最終段の出力がスタートパルス出力信号SSPOとして、ソースドライバ51の出力端子SSPout から出力され、次段

## 4

の第2ソースドライバS（2）におけるソースドライバ51の入力端子SSPinに、スタートパルス入力信号SSPIとして入力される。このようにして、スタートパルス信号SSPIは、8段目の第8ソースドライバS（8）におけるソースドライバ51のシフトレジスタ回路61の最終段までシフトされる。

【0012】また、シフトレジスタ回路61に投入されたクロック信号SCKも、ソースドライバ51の出力端子SCKout から出力されて、次段の第2ソースドライバS（2）のソースドライバ51の入力端子SCKinに投入され、第8ソースドライバS（8）のソースドライバ51にまで転送される。

【0013】一方、コントローラ回路56の端子R1～R6・端子G1～G6・端子B1～B6から出力されるそれぞれ6ビットの表示用データ信号R・G・Bは、クロック信号/SCK（クロック信号SCKの反転信号）の立ち上がりで同期を取って、ソースドライバ51の入力端子R1in～R6in・入力端子G1in～G6in・入力端子B1in～B6inにそれぞれシリアル投入され、データラッチ回路62にて一時的にラッチされた後、サンプリングメモリ回路63に送られる。

【0014】また、ソースドライバ51の入力端子R1in～R6in・入力端子G1in～G6in・入力端子B1in～B6inにそれぞれシリアル投入した表示用データ信号R・G・Bは、このソースドライバ51の出力端子R1out～R6out・出力端子G1out～G6out・出力端子B1out～B6out から出力され、次の第2ソースドライバS（2）のソースドライバ51へも送られ、同様にして、順次、第8ソースドライバS（8）のソースドライバ51にまで転送される。

【0015】サンプリングメモリ回路63は、上記シフトレジスタ回路61の各段の出力信号により、時分割で送られてくる表示用データ信号（RGB各6ビットの計18ビット）をサンプリングし、コントローラ回路56の端子LSから出力されたラッチ信号LSがソースドライバ51の端子LSに投入されるまで、それぞれ記憶している。

【0016】そして、これら表示用データ信号は、次にホールドメモリ回路64に投入され、ホールドメモリ回路64では、サンプリングメモリ回路63より投入される表示用データ信号を、表示用データ信号R・G・Bの1水平期間分の表示用データ信号が投入された時点でラッチ信号LSにてラッチし、次の1水平期間分の表示用データ信号がサンプリングメモリ回路63からホールドメモリ回路64に投入されるまでの間保持し、出力する。

【0017】基準電圧発生回路65は、上記コントローラ回路56の端子Vref1～Vref9から出力されてソースドライバ51の端子Vref1～Vref9に投入される基準電圧を基に、例えば、抵抗分割により階

調表示に用いる64レベルの電圧を発生させる。

【0018】DAコンバータ回路66は、ホールドメモリ回路64より入力されるRGBそれぞれ6ビットの表示用データ信号(デジタル)をアナログ信号に変換して出力回路67に出力し、出力回路67は、64レベルのアナログ信号を増幅し、出力端子Xo-1~Xo-128・Yo-1~Yo-128・Zo-1~Zo-128から液晶パネル54の図示しない端子へ出力する。上記出力端子Xo-1~Xo-128・Yo-1~Yo-128・Zo-1~Zo-128は、それぞれ表示用データ信号R・G・Bに対応するもので、Xo, Yo, Zoそれぞれ共に128個の端子からなる。

【0019】また、ソースドライバ51の端子Vcc及び端子GNDは、コントローラ回路56の端子Vcc及び端子GNDと接続される電源供給用の端子であって、電源電圧、グラウンド電位が供給される。なお、図22においては、ソースドライバ51における入力部及び出力部に設けられた各バッファ回路の記載を省略している。

【0020】以上が、64階調表示のソースドライバS群についての構成と動作の説明である。なお、ゲートドライバGを構成するゲートドライバ52については、基本的にはソースドライバSのソースドライバ51と同様の構成であるので、ここでは、それらの説明を省略する。

#### 【0021】

【発明が解決しようとする課題】ところで、今日、液晶表示装置モジュールにおいては、さらなる高画素数化及び高分解能化が進んでいる。このような高画素数化及び高分解能化に伴い、上記したソースドライバ51…及びゲートドライバ52…は、表示用データ信号R・G・Bのデータ転送レート的高速化、つまり高周波クロックによる動作が要求されることになる。これは、ゲートドライバ52…側よりも、特にソースドライバ51…で顕著となる。

【0022】しかしながら、上記した従来の液晶表示装置モジュールに採用されている半導体処理部としてのソースドライバ51…では、次のような問題が生じ、高画素数化及び高分解能化の要求に十分に答えることができない。

【0023】すなわち、上記した従来の液晶表示装置モジュールでは、複数の同一のソースドライバ51…を縦続接続して使用し、初段の第1ソースドライバS(1)のソースドライバ51にのみ表示用データ信号R・G・Bを入力し、第2ソースドライバS(2)以降の他のソースドライバSの各ソースドライバ51には、各ソースドライバ51内を通して表示用データ信号R・G・Bを順次転送する自己転送方式を採用している。

【0024】この場合、例えば、64階調表示を行なうソースドライバSではRGBに対応した合計18本のデータ(6ビット×RGB3種類)を扱うXGA(102

4×RGB×768)パネルでは65MHzと非常に高速なデータ転送レートが必要となり、さらに、高精細であるSXGA(1280×RGB×1024)パネルにおいては、さらに高速な95MHzが必要となる。そのため、高精細化に伴う程、より速いデータ転送レートにて表示用データ信号を順次、自己転送する必要がある。

【0025】ところが、同じ転送用クロック信号SCKで次段のソースドライバSにおけるデータ取り込みタイミングの仕様(データセットアップ/ホールド時間)を保証するには、図23に示すように、クロック信号SCKの一周内に、次の表示データ信号を取り込む必要があるが、より高速な信号を自己転送する場合、配線容量等の影響を受け易くなる結果、データ取り込みタイミングの仕様を保証することが難しくなり、高精細な表示画質の劣化が生じることがある。

【0026】また、上記従来では、より高速なデータ転送レートにて信号を自己転送する場合、転送用クロック信号SCKのデューティ比(ハイ期間とロー期間の比)をソースドライバS内部で確保するのが難しくなり、動作周波数の低減を招いて、表示画質の劣化を生じる恐れがある。

【0027】本発明は、上記の課題に鑑みなされたものであって、その目的は、クロック信号SCKの動作周波数の拡大と、表示画質の信頼性の高い半導体装置およびそれを用いた表示装置モジュールを提供することにある。

#### 【0028】

【課題を解決するための手段】本発明の半導体装置は、上記課題を解決するために、複数の半導体処理部が縦続接続され、初段の半導体処理部に入力した複数の信号を、他の半導体処理部に半導体処理部内を通して順次転送する自己転送方式を含む半導体装置において、上記半導体処理部の入力部には、自己転送方式で転送される、シリアルデータの表示用データ信号を、クロック信号の立ち上がり・立ち下りの両エッジをデータ取り込みタイミングとすることで、1チャンネルからNチャンネル(Nは自然数)に分割してパラレルデータに変換するための分割手段が設けられ、上記半導体処理部の出力部には、Nチャンネルに分割されてパラレルデータに変換された該表示用データ信号を再度1チャンネルのシリアルデータに合成する合成手段が設けられていることを特徴としている。上記半導体装置では、Nは2または4であることが半導体処理部を構成し易いことから好ましい。

【0029】これによれば、各半導体処理部内部で、入力部に設けられた分割手段にて、表示用データ信号の1チャンネルがクロック信号の立ち上がりと立ち下りの両方で表示用データ信号が取り込まれてNチャンネル、例えば2チャンネルや4チャンネルに分割されパラレルデータに変換されて表示に用いられ、出力時には、合成手段で再度1チャンネルのシリアルデータに合成、すな

わち戻されて出力される。

【0030】したがって、この構成では、転送用のクロック信号の周波数は、表示用データ信号のデータ転送レート（データ周波数）のN分の1に低減、例えば、2チャンネルの場合では半分に低減できると共に、合成手段により次段の半導体処理部に順次転送する表示用データ信号の転送タイミングを制御、例えば遅延できるので、各半導体処理部における、表示用データ信号のデータ取り込みタイミングの仕様（データセットアップ／ホールド時間）を確保し易くなる。

【0031】その結果、上記構成では、上記半導体装置を、例えば、液晶表示装置モジュールに液晶表示装置の駆動装置として搭載し、液晶表示装置モジュールの高精細化に伴って、表示用データ信号のデータ周波数が高速となっても、転送用のクロック信号のデューティ比を各半導体装置内部で問題なく確保でき、かつ、データ取り込みタイミングの仕様を保証し易くなることから、上記クロック信号の動作周波数の拡大と、クロック信号の動作周波数の低減による表示画質への高い信頼性を得ることができる。

【0032】上記の半導体装置では、前記半導体処理部には、互いに位相のずれた各クロック信号が供給されており、上記の各クロック信号は、上記分割手段に使用される転送用クロック信号と、表示用データ信号を1チャンネルに上記合成手段によって合成する際の同期用クロック信号とを有していてもよい。上記半導体装置では、Nが2の場合、上記の同期用クロック信号は、転送用クロック信号より1/4周期分遅延した信号であることが好ましい。

【0033】上記構成によれば、合成手段で表示用データ信号を1チャンネルに戻す際に使用するクロック信号として、転送用クロック信号とは別にこれとは位相の異なる、例えば転送用クロック信号より1/4周期分遅延した、同期用クロック信号を別途使用できるので、表示用データ信号における必要なデータ周波数がより高速になり、配線容量等の影響により転送の遅延を生じ易くなっても、この遅延を考慮して次段の半導体処理部へ表示用データ信号をタイミングよく出力でき、各段の半導体処理部におけるデータ取り込みタイミングの仕様を、より確実に保証することができる。

【0034】上記半導体装置においては、上記半導体処理部に、前記クロック信号を基に位相をずらせて、表示用データ信号を1チャンネルに上記合成手段によって合成する際に使用する同期用クロック信号を作成する同期用クロック信号作成回路が設けられていてもよい。

【0035】上記半導体装置では、前記半導体処理部には、表示用データ信号を分割するための、互いに位相のずれたm相（mは自然数）の各クロック信号を、上記各クロック信号の一つから他のクロック信号を遅延により生成する遅延手段が設けられていてもよい。

【0036】上記半導体装置においては、前記のNチャンネルに分割された該表示用データ信号を再度1チャンネルに合成するための同期用クロック信号を基に、分割のための複数のクロック信号を作成する作成手段が設けられていてもよい。

【0037】上記構成によれば、前述の構成と同様に、各段の半導体処理部におけるデータ取り込みタイミングの仕様を、より確実に保証できると共に、加えて、半導体処理部間で縦続接続される転送用のクロック信号1本のみにできるため、配線間容量の影響や両クロック信号間の配線間容量によるカップリングの影響を低減することができる。また、各半導体処理部における入力部には転送用のクロック信号1本のみの保証になるため、外部転送用のクロック信号に対する動作仕様の簡素化が図れ、大幅なデータ周波数へのマージン向上を実現できる。

【0038】上記半導体装置では、前記合成手段は、前記のNチャンネルに分割された表示用データ信号を1チャンネルに合成するための、表示用データ信号の同期用クロック信号と、この同期用クロック信号を基にして生成した制御信号とにより、上記のNチャンネルに分割された表示用データ信号を、1チャンネルのシリアルな表示用データ信号に変換する変換手段を有していることが好ましい。

【0039】上記構成によれば、変換手段により、同期用クロック信号に基づいて、表示用データ信号をパラレル／シリアル変換するので、各半導体処理部間での表示用データ信号の転送のタイミングを合わせ易くなり、上記転送を確実化できる。

【0040】上記半導体装置においては、前記の作成手段は、m相（mは自然数）の転送用クロック信号を、前記の表示用データ信号の同期用クロック信号を基に、上記同期用クロック信号を1/(2m)周期分ずつ遅延させて作成するようになっていてもよい。

【0041】上記構成によれば、前述したように、クロック信号の動作周波数の拡大と、クロック信号の動作周波数の低減による表示画質への高い信頼性を得ることができると共に、回路構成を簡便に実現できる。

【0042】上記半導体装置では、前記半導体処理部は、表示部を表示用データ信号によって駆動するための駆動回路であってもよい。上記構成によれば、上記半導体処理部は、高精細化のために、表示用データ信号のデータ周波数が高く（速く）なっても確実に対応できるので、上記表示用データ信号を用いる液晶表示装置の表示画質を、高精細を確保しながら、より安定に向上させることができる。

【0043】本発明の表示装置モジュールは、前記の課題を解決するために、上記の何れかに記載の半導体装置と、上記半導体装置により駆動される表示部とを備えていることを特徴としている。上記表示装置モジュールに

おいては、上記表示部は、液晶表示部であってもよい。

【0044】上記構成によれば、半導体処理部は、高精細化のために、表示用データ信号のデータ周波数が高く（速く）なっても確実に対応できるので、上記表示用データ信号を用いる表示部、例えば液晶表示部の表示画質を、高精細を確保しながら、より安定に向上させることができる。

【0045】

【発明の実施の形態】〔実施の形態1〕本発明に係る実施の一形態を、図1～図5に基づいて説明すれば、以下の通りである。

【0046】図2に、本実施の形態1の液晶表示装置モジュール（表示装置モジュール）における、液晶表示部を駆動するための半導体装置としての駆動回路を示す。図2に示すように、複数の各ソースドライバ1…および各ゲートドライバ2…は、例えば、液晶パネル4の外周部に、TCP（Tape Carrier Package）3に搭載された状態で実装されて用いられており、それぞれ、半導体処理部としてのLSIからなっている。図2では、各ソースドライバ1…および各ゲートドライバ2…を互いに区別するために、それぞれ各ソースドライバS（n）（nは正の整数）及び各ゲートドライバG（p）（pは正の整数）とも示している。TCPとは、テープ・フィルムにLSI素子を貼り付け等により支持する薄型のパッケージである。

【0047】これら複数のソースドライバ1…は、液晶パネル4におけるソースバスライン（不図示）の駆動を行うためのものであり、複数のゲートドライバ2…は、液晶パネル4におけるゲートバスライン（不図示）の駆動を行うためのものである。

【0048】各ソースドライバ1及びゲートドライバ2の液晶パネル4側の端子（端子群）は、各TCP3に形成された配線を介して、液晶パネル4上のITO（Indium Tin Oxide：インジウムスズ酸化物）からなる端子（不図示）に電気的に接続されている。両者の電気的接続は、例えばACF（Anisotropic Conductive Film：異方性導電膜）を介して両者を互いに厚さ方向に熱圧着することで行なわれる。

【0049】また、各ソースドライバ1及びゲートドライバ2のフレキシブル基板5側の端子（端子群）も、各TCP3上に形成された配線を介して、フレキシブル基板5上に設けられた配線に上述したACF或いはハンダ付けで電気的に接続されている。

【0050】これにより、コントローラ回路6からのソースドライバ1…への各表示用データ信号（R・G・Bの3種の信号）（以下、表示データDと略す）、並びにソースドライバ1…及びゲートドライバ2…への各種制御信号及び電源（GND、Vcc）の供給は、フレキシブル基板5上の配線及び各TCP3上の配線を通して行われる。

【0051】ここで、各ソースドライバ1は、例えば、第1ソースドライバS（1）～第8ソースドライバS（8）の合計8個配設されており、各ゲートドライバ1は、例えば、第1ゲートドライバG（1）及び第2ゲートドライバG（2）の合計2個が配設されている。

【0052】そのうち、第1ソースドライバS（1）～第8ソースドライバS（8）は、8個の互いに同一のソースドライバ1…が、コントローラ回路6から出力される表示データDの各表示データR・G・B、スタートパルス入力信号SSPI、及び2相の各クロック信号SCKA・SCKBの供給において、互いに縦続接続されている。また、第1及び第2のゲートドライバG（1）、G（2）においても、互いに同一のゲートドライバ2が2個、コントローラ回路6から出力されるクロック信号GCK及びゲートドライバ用スタートパルス入力信号GSP Iの供給において、互いに縦続接続されている。図3に、上記コントローラ回路6の端子部構成を拡大して示す。

【0053】上記液晶パネル4の画素数は、1024画素×3（RGB）〔ソース側〕×768画素〔ゲート側〕である。したがって、第1ソースドライバS（1）～第8ソースドライバS（8）の各ソースドライバ1は、それぞれ64階調の表示を行うと共に、それぞれ128画素×3（RGB）を駆動するようになっている。

【0054】以下に、上記構成の半導体装置における各種信号及びそれらの伝達経路について説明する。

【0055】コントローラ回路6の端子R1～R6・端子G1～G6・端子B1～B6、端子SCKA・端子SCKB、及び端子SSPIから出力された、それぞれ6ビットからなる表示データDの各表示データR・G・B、2相の各クロック信号SCKA・SCKB、及びスタートパルス入力信号SSPIは、まず、初段の第1ソースドライバS（1）のソースドライバ1へ入力される。

【0056】ここで、各表示データR・G・B、各クロック信号SCKA・SCKB、及びスタートパルス入力信号SSPIは、第1ソースドライバS（1）を構成するソースドライバ1における、図1に示すように、各入力端子R1in～R6in・G1in～G6in・B1in～B6in、各入力端子SCKAin・SCKBin、入力端子SSPinへ、それぞれ、入力される。

【0057】入力されたこれら各信号は、当該第1ソースドライバS（1）のソースドライバ1における、各出力端子R1out～R6out・G1out～G6out・B1out～G6out、各出力端子SCKAout・SCKBout、出力端子SSPoutからそれぞれ出力され、次段の第2ソースドライバS（2）のソースドライバ1へ送られる。以下、同様に、上記各信号は、順次、第3ソースドライバS（3）から第8ソースドライバS（8）に至るまで転送される。

【0058】そのうち、第8ソースドライバS(8)におけるソースドライバ1の出力端子SSPoutから出力されたスタートパルス出力信号SPOは、フレキシブル基板5上の配線を通り、コントローラ回路6の端子SSPOに入力される。

【0059】また、コントローラ回路6から供給される、各ソースドライバ1…の電源端子Vccと端子GNDライン、64ビット階調表示用の各電圧Vref1~Vref9、ラッチ信号LSは、共通信号としてフレキシブル基板5上の配線より第1ソースドライバS(1)~第8ソースドライバS(8)である各ソースドライバ1…に供給されている。

【0060】一方、コントローラ回路6の端子GCK及び端子GSPiから出力された、ゲートドライバ2用のクロック信号GCK及びスタートパルス入力信号GSPiも、まず、初段の第1ゲートドライバG(1)であるゲートドライバ2へ入力される。これにおいても、詳細には図示するものではないが、コントローラ回路6からのこれらクロック信号GCK及びスタートパルス入力信号GSPiは、図1で示したソースドライバSと同様に、初段の第1ゲートドライバG(1)の各入力端子に入力され、その後各出力端子から出力されて、第2ゲートドライバG(2)の各入力端子に入力される。また、各ゲートドライバ2…の電源端子Vcc、GNDライン、及び液晶パネル4の印加用の各電圧Vref1~Vref2は、共通信号として、コントローラ回路6から各ゲートドライバ2に供給されている。

【0061】次に、ソースドライバ1の回路構成について、図1に基づいて説明する。図1に示すように、ソースドライバ1は、各入力バッファ11~17、各出力バッファ18~21、各出力反転バッファ22・23、データラッチ出力回路(分割手段)24、データ出力コントロール回路(合成手段)25、シフトレジスタ回路26、サンプリングメモリ回路27、ホールドメモリ回路28、基準電圧発生回路31、DAコンバータ回路29、及び出力回路30から構成されている。

【0062】以下、上記回路構成の内、従来技術との構成における相違点のみ説明を行なうものとする。図22で説明した従来のソースドライバ51との主な相違点は、図22では単相であった転送用クロック信号としてのクロック信号SCKに対し、

これと同じ転送用クロックであるクロック信号SCKAに加えて、上記クロック信号SCKAと位相の異なる、表示データDの同期用のクロック信号SCKBという2相の各クロック信号SCKA、SCKBが入力されている点、

入力部に、表示データDを、クロック信号SCKAの立ち上がりとし、立ち下りの両エッジを取り込みタイミングとしてラッチして2分割して、上記表示データDをパラレルデータに変換するためのデータラッチ出力回路

24が設けられている点、及び、

次のソースドライバ1に出力する前に、分割した表示データDをシリアルデータに戻すデータ出力コントロール回路25が設けられている点である。

【0063】したがって、本実施の各形態では、図22と特に相違のないシフトレジスタ回路26や、ホールドメモリ回路28、基準電圧発生回路31、DAコンバータ回路29、及び出力回路30等の説明については、ここでは省略する。

【0064】まず、上記ソースドライバ1においては、入力端子SCKAinは、シフトレジスタ回路26を用いてスタートパルス入力信号SSPIをシフト(転送)させるための転送用クロック信号の入力端子であり、2相のクロック信号SCKA・SCKBの内、転送クロック用(シフトクロック用)であるクロック信号SCKA(以下、転送用クロック信号SCKAと称する)が入力される。出力端子SCKAoutは次段のソースドライバSへ、この転送用クロック信号SCKAを転送するための出力端子である。

【0065】端子SCKBinは、データ出力コントロール回路25において、表示データDを再度、同期をとるための同期用のクロック信号の入力端子であり、2相の各クロック信号SCKA・SCKBの内、表示データDの同期クロック用のクロック信号SCKB(以下、同期クロック信号SCKBと称する)が入力される。出力端子SCKBoutは次段のソースドライバSへ、この同期クロック信号SCKBを転送するための出力端子である。

【0066】コントローラ回路6の各端子R1~R6・各端子G1~G6・各端子B1~B6から出力されるそれぞれ6ビットの各表示データR・G・Bは、第1ソースドライバS(1)であるソースドライバ1における各入力端子R1in~R6in・各端子G1in~G6in・各端子B1in~B6inからそれぞれシリアルに入力され、それぞれ6個ずつある入力バッファ13~15を介して、データラッチ出力回路24に入力される。

【0067】データラッチ出力回路24では、入力端子SCKAinより入力された、前述の転送用クロック信号SCKAの立ち上がりとし、立ち下りの両エッジにて同期を取って、表示データDを一時的にラッチし、その後、サンプリング回路27に出力する。上記データラッチ出力回路24の動作の詳細については後述する。

【0068】また、データラッチ出力回路24において一時的ラッチされた表示データDは、データ出力コントロール回路25にも出力される。データ出力コントロール回路25には、前述の同期用クロック信号SCKBが入力されており、データラッチ出力回路24で分割された表示データR・G・Bを、次段のソースドライバSへ転送する前に、再度、転送用クロック信号SCKAの立ち上がりとし、立ち下りの両エッジにて同期が取れるよう



に、同期用クロック信号SCKBを基に1チャンネルのシリアルなデータに変換する。このデータ出力コントロール回路25の動作の詳細についても後述する。

【0069】そして、ここで、同期用クロックSCKBは転送用クロック信号SCKAから、例えば1/4周期分遅れた位相を有する信号であって、データ出力コントロール回路25は、この同期用クロック信号SCKBを用いて、2チャンネルに分割された表示データDを1チャンネルのシリアルデータに戻す。これにより、次段のソースドライバSのデータセットアップ/ホールド時間のマージンを確保することが可能となり、次段のソースドライバSにおけるデータセットアップ/ホールド時間が保証されることとなる。

【0070】図4に、ソースドライバS(n+1)に継続接続されているソースドライバS(n)の回路構成を具体的に示す。図4に示すように、ソースドライバS(n)であるソースドライバ1のデータラッチ出力回路24は、2つのDタイプフリップフロップ24a・24bを有している(以下、DタイプフリップフロップをDF/Fと略す)。

【0071】これら2つのDF/F24a・24bの各入力端子Dに同じ表示データDが入力され、各出力端子Qからの各出力は、前述の内部回路であるサンプリングメモリ回路27にそれぞれ出力されると共に、データ出力コントロール回路25にそれぞれ入力されている。

【0072】また、DF/F24aのクロック端子CKには、転送用クロック信号SCKA(シフトロック用)が入力され、DF/F24bのクロック端子CKには、上記転送用クロック信号SCKAがインバータ40を介して反転入力されている。

【0073】データ出力コントロール回路25には、同期用クロック信号SCKB(表示データ同期用)が入力されている。そして、該データ出力コントロール回路25の出力は、出力バッファ41(図1におけるそれぞれ6個ずつからなる各出力バッファ18~20のうちの任意の1つ)を介して外部に取り出され、隣接する次のソースドライバS(n+1)へと転送される。

【0074】また、転送用クロック信号SCKA及び同期用クロック信号SCKBは、出力反転バッファ22・23を介して反転後外部に取り出され、隣接する次のソースドライバS(n+1)へと転送される。

【0075】図5に、各種信号のタイミングチャートを示す。図4の回路ブロック図を含めて、各部の動作を以下に詳細に説明する。

【0076】ここで、同期用クロック信号SCKB[図5(a)]の位相は、転送用クロック信号SCKA[図5(b)]に対して1/4位相分遅れたものである。

【0077】データラッチ出力回路24を構成する2つのDF/F24a・24bにおける、まず、DF/F24aのクロック端子CKには、転送用クロック信号SC

KAが、一方、DF/F24bのクロック端子CKには、インバータ40を介して反転させた転送用クロック信号/SCKA(転送用クロック信号SCKAの反転信号)が入力されている。

【0078】DF/Fは、クロック端子CKに入力される信号の立ち上がり同期を取り、入力端子Dの信号を出力端子Qに出力し、これ以外のタイミングでは出力端子Qからの出力をラッチするものである。

【0079】したがって、DF/F24aは、転送用クロック信号SCKAの立ち上がり表示データDを取り込み出力端子Qから出力し、一方、DF/F24bは転送用クロック信号SCKAの立ち下がり(転送用クロック信号/SCKAの立ち上がり)に表示データDを取り込み出力端子Qに出力する。

【0080】これにより、DF/F24aの出力Qは、図5(d)に示すように、入力された表示データD(図5(c))の奇数番目の表示データDを取り込みラッチする(立ち上がりラッチデータに相当)。一方、DF/F24bの出力Qは、図5(e)に示すように、入力された表示データD(図5(c))の偶数番目の表示データDを取り込みラッチする(立ち下がりラッチデータに相当)。

【0081】このように、表示データDは2つのDF/F24a・24bにより、2チャンネルに分割され、データ転送レートは1/2となる。例えば、表示データDの、必要なデータ転送レートが80MHzであれば、転送用クロック信号SCKAのクロック周波数は40MHzに低減できることとなる。

【0082】なお、表示データDは、図5(c)に示すように、表示データDの同期用クロック信号SCKBの変位点(立ち上がり立ち下がりエッジ)に同期を取り、前段に接続されているソースドライバS(n-1)から転送されてきているものである。

【0083】先の2チャンネルに分割された立ち上がりラッチデータと立ち下がりラッチデータは、スタートパルス入力信号SSPIを転送用クロック信号SCKAの立ち上がり同期を取り、転送して出力するシフトレジスタ回路26の各出力に合わせて時分割でサンプリングメモリ回路27に送られる。

【0084】サンプリングメモリ回路27に一旦記憶された、パラレルデータである表示データDは、水平同期信号LS(図示せず)に基づき、ホールドメモリ回路28に一括転送され、ホールドメモリ回路28の出力は次の水平同期信号LSが入力されるまで、その表示データDをラッチする。

【0085】ここで、データラッチ出力回路24からサンプリングメモリ回路27へのデータ転送レートが1/2になっていることから、サンプリングメモリ回路27の高速対応も緩和され、セットアップ時間及びホールド時間にも余裕ができ、レイアウト等、回路設計が容易と



なる。また、さらなる高速なデータ転送レートも可能となるため、表示装置の大画面化、高微細化に対応できる。

【0086】2チャンネルに分割された表示データDは、データ出力コントロール回路25にて表示データDの同期用クロック信号SCKBの変位点（立ち上がり立ち下りのエッジ）に同期を取って取り込むことで、再度元の時系列の1チャンネルのシリアルデータに変換される〔図5（f）〕。

【0087】このデータ出力コントロール回路25は、例えば、2つのトランスミッションゲートのそれぞれの入力に、一方には立ち上がり同期データを、一方には立ち下り同期データを入力し、それぞれの出力を接続し、出力バッファ41に出力させ、トランスミッションゲートを開閉する制御信号として、一方の制御端子には同期用クロック信号SCKBを、もう一方の制御端子には同期用クロック信号/SCKB（同期用クロック信号SCKBの反転信号）を入力することで実現できる。なお、データ出力コントロール回路25の詳細については後述する。

【0088】同期用クロック信号SCKB、及び転送用クロック信号SCKAはそれぞれ各反転出力バッファ22及び23を介して、次段のソースドライバS（n+1）に出力される〔図5（g）、図5（h）〕。

【0089】このように、それぞれのクロックを反転させて次段に出力することで、次段のソースドライバS（n+1）の入力段での表示データD、同期用クロック信号SCKB及び転送用クロック信号SCKAのタイミング（位相）はソースドライバS（n）の入力段と同様なものとするのが可能となる。

【0090】つまり、高速な表示データDが出力バッファ（図1における18～20）、次段の入力バッファ（図1における13～15）を介してデータラッチ出力回路24に入力されても、このデータラッチ出力回路24が表示データDをラッチするのに必要なセットアップ時間、ホールド時間は保持している。このことは、高速な表示データDを転送するにあたり、ソースドライバSを多段に縦続接続しても何ら問題がないことを示している。なお、図4では、入力バッファや出力バッファ等、説明に必要な回路は省略している。

【0091】以上のように、本実施の形態1の半導体装置では、転送用クロック信号SCKAの立ち上がり立ち下りの両エッジで表示データDを取り込む方式を、入力インターフェース部（入力部）としてのデータラッチ出力回路24に採用し、ソースドライバ1内部でそれぞれシリアルに1チャンネルで送られてくる表示データDを2チャンネルに分割してパラレルデータに変換し、出力時、つまりデータ出力コントロール回路25において、再度1チャンネルのシリアルデータに戻す構成となっている。

【0092】これにより、上記構成では、クロック周波数をデータ周波数の半分に低減できると共に、次段のソースドライバ1に順次転送する表示データDの転送タイミングを制御、例えば遅延できるので、各ソースドライバ1における、表示データDのデータ取り込みタイミングの仕様（データセットアップ/ホールド時間）を確保し易くなり、転送用クロック信号SCKAの動作周波数の拡大と、動作周波数の低減による表示動作への信頼性の高い半導体装置としてのソースドライバ1およびこの半導体装置を用いた液晶表示装置モジュールといった表示装置モジュールを実現することができる。

【0093】〔実施の形態2〕以下に、本発明に係る他の実施の形態について、図6～図10に基づいて説明する。なお、本実施の形態2では、上記実施の形態1と同様な機能を有する部材については、同一の部材番号を付与して、それらの説明を省略する。

【0094】実施の形態1においては、転送用クロック信号SCKAと共に、同期用クロック信号SCKBを外部のコントローラ回路6にて発生させる構成としていた。この場合、配線容量の影響や、両クロック信号間の配線間容量によるカップリングの影響を考慮（転送用クロック信号SCKAと同期用クロック信号SCKBの位相タイミング、転送用クロック信号SCKAのデューティ比崩れ）に入れる必要がある。

【0095】そこで、本実施の形態2の半導体装置では、図6～図8に示すように、転送用クロック信号SCKAを1相のみ入力し、この転送用クロック信号SCKAを遅延回路17で遅延させることで、データ出力コントロール回路25にを入力する同期用クロック信号SCKDを作成するようにした。上記遅延回路17としては、例えば図9に示すように、インバータ回路17aが多段構成されたもので実現できる。なお、ここでは遅延回路としてインバータ回路17aの例を説明したが、これに限定されることなく、例えば、抵抗と容量とを組み合わせた遅延回路にて遅延させてもよい。

【0096】本実施の形態2においても、実施の形態1と同様に、転送用クロック信号SCKAの立ち上がり立ち下りの両エッジでのデータ取り込み方式を入力部に採用し、ソースドライバ1の内部で、シリアルデータである表示データDを1チャンネルから2チャンネルに分割してパラレルデータに変換し、出力部で再度2チャンネルから元の1チャンネルに戻すことによりクロック周波数を、表示データDにおけるデータ転送レート（データ周波数）の半分とし、転送用クロック信号SCKAの動作周波数の拡大と信頼性の高い半導体装置およびこれを用いた液晶表示装置モジュールを実現することができる。

【0097】図10に、本実施の形態の半導体装置における各種信号のタイミングチャートを示す。なお、同期用クロック信号SCKDを同期用クロック信号SCKB

10

20

30

40

50

と置き換えれば動作は実施の形態 1 と同じであるので、動作の説明は省略する。

【0098】このように、同期用クロック信号 SCKD をソースドライバ 1 内部で作製する構成により、コントローラ回路 6 から初段の第一ソースドライバ S (1) との間の配線や、ソースドライバ S と次段のソースドライバ S との間の配線、TCP 3 上の配線を減らすことができる。

【0099】その結果、上記構成では、配線容量による波形鈍りや、高速なクロック信号配線間のカップリングの影響によるノイズ等の影響は低減して、より高速なデータ転送を実現できる。また、転送用クロック SCKA 1 本だけの保証になるため、外部転送用クロックに対する動作仕様の簡素化が図れ、大幅な周波数マージン向上を図ることができる。

【0100】〔実施の形態 3〕以下に、本発明に係るさらに他の実施の形態としての実施の形態 3 について、図 11 ~ 図 17 に基づいて説明する。なお、上記の実施の各形態 1 および 2 と重複する構成および動作については、同一の部材番号を付与して、それらの説明は省略する。

【0101】前記実施の形態 1 では、転送用クロック信号 SCKA と同期用クロック信号 SCKB との 2 相の各クロック信号をコントローラ回路 6 よりソースドライバ 1 に入力させる構成としていた。

【0102】また、上記実施の形態 2 においても、配線容量の影響や両クロック信号間の配線間容量によるカップリングの影響を考慮して、表示データ D を 1 チャンネルに合成する際に、用いる同期用クロック信号を、1 相の転送用のクロック信号を基に、その位相をずらせて作成する、同期用クロック信号作成回路としての遅延回路 17 を設けた構成としていた。

【0103】しかしながら、さらに、液晶パネル 4 における、表示画質の高精細化が進むため、このような高精細化に対応しようとする、クロック信号に基づくデータ取り込みタイミングの各仕様（データセットアップ/ホールド時間）が、より厳しくなる。このため、これらの各仕様を考慮する必要が生じている。

【0104】そこで、本実施の形態 3 では、転送用クロック信号 SCKA、およびそれと位相の異なる同期用クロック信号 SCKB の 2 相に加えて、転送用クロック信号 SCKA を基に遅延回路 27 にて遅延させることで、複数のデータラッチ出力回路 24 の一方に入力する転送用クロック信号としてのクロック信号 SCKA1 を新たに作成するようになっている。上記遅延回路 27 としては、例えばインバータ回路が多段にシリーズ（縦続）に接続されたものを挙げることができるし、また、抵抗と容量とを用いた遅延回路も挙げるができる。

【0105】図 11 に、ソースドライバ S (n+1) に縦続接続されているソースドライバ S (n) の回路構成

を具体的に示す。上記ソースドライバ S (n) と、前記各形態 1 および 2 に記載のものと相違点は、図 11 に示すように、転送用クロック信号 SCKA に対し、新たに位相を、例えば 1/4 位相ずらした転送用クロック信号 SCKA1 を作成し、データラッチ出力回路 24 と同じ回路ブロックを追加して、この追加したデータラッチ出力回路 24 (DF/F24c、DF/F24d) を上記転送用クロック信号 SCKA1 により動作させることで、表示データ D のデータ転送レートを、さらに低減、例えば 1/4 にできるものである。

【0106】つまり、同期用クロック信号 SCKB [図 12 (a) 参照] の立ち上がり立ち下がり同期を取り、表示データ D [図 12 (d) 参照] はソースドライバ S (n) に転送されてくる。転送用クロック信号 SCKA [図 12 (b) 参照] は、図示していないコントローラ回路にて、同期用クロック信号 SCKB を分周して周波数を 1/2 にし、さらに、同期用クロック信号 SCKB に対して 1/4 位相遅延させた信号である。

【0107】一方、新たに設けた転送用クロック信号 SCKA1 [図 12 (c) 参照] は、遅延回路 27 にて転送用クロック信号 SCKA をさらに 1/4 位相分遅延させた信号である。遅延回路 27 は、前述したように、インバータ回路をシリーズに接続して実現してもよいし、抵抗と容量による遅延でもよく、また他の方法でも容易に実現可能である。

【0108】このような遅延の関係は、図 12 の (a) ~ (c) に記載の各クロック信号 SCKA、SCKB、SCKA1 の位相関係が満足しておればよいが、特に 1/4 位相の遅延は図示していないが各種クロック信号を作り出す原発振源から容易に作り出すことができるために好ましい。

【0109】各データラッチ出力回路 24 を構成する 4 つの各 DF/F においては、まず、DF/F24a のクロック端子 CK には転送用クロック信号 SCKA が、一方、DF/F24b のクロック端子 CK にはインバータ回路を介して、/SCKA (転送用クロック信号 SCKA の反転信号) が入力している。

【0110】また、DF/F24c のクロック端子 CK には転送用クロック信号 SCKA が遅延回路 27 を介して、SCKA1 信号となって入力され、一方、DF/F24d のクロック端子 CK にはインバータ回路を介して、/SCKA1 (転送用クロック信号 SCKA1 の反転信号) が入力している。

【0111】DF/F はクロック端子 CK に入力される信号の立ち上がり同期を取り、入力端子 D の信号 (上記 4 つの入力端子 D には共通の表示データ D が入力している) を出力端子 Q に出力し、これ以外のタイミングでは出力端子 Q からの出力をラッチするものである。

【0112】よって、DF/F24a は転送用クロック信号 SCKA の立ち上がり表示データ D を取り込み出

10

20

30

40

50

力端子Q〔図12(e)参照〕から出力し、一方、DF/F24bは転送用クロックSCKAの立ち下がり(転送用クロック信号/SCKAの立ち上がり)に表示データDを取り込み出力端子Q〔図12(g)参照〕から出力する。

【0113】また、DF/F24cは転送用クロック信号SCKA1の立ち上がりに表示データDを取り込み出力端子Q〔図12(f)参照〕から出力し、一方、DF/F24dは転送用クロック信号SCKA1の立ち下がり(転送用クロック信号/SCKA1の立ち上がり)に  
10 表示データDを取り込み出力端子Q〔図12(h)参照〕から出力する。

【0114】これにより、DF/F24aの出力Q11は図12(e)に示すように入力された表示データDの(4n+1)番目のデータを取り込みラッチする(n=0、1、2、3...)。また、DF/F24bの出力Q12は図12(g)に示すように入力された表示データDの(4n+3)番目のデータを取り込みラッチすることになる。また、DF/F24cの出力Q13は図12(f)に示すように入力された表示データDの(4n+2)番  
20 目のデータを取り込みラッチすることになる。最後に、DF/F24dの出力Q14は図12(h)に示すように入力された表示データDの(4n+4)番目のデータを取り込みラッチすることになる。

【0115】このように、表示データDはこの4つの各DF/F24a、24b、24c、24dにより4チャンネルに分割されることで、データ転送レートは1/4となる。例えば、表示データDにおける必要なデータ転送レートが80MHzであれば、転送用クロック信号SCKAのクロック周波数は20MHzに低減できること  
30 になる。

【0116】尚、表示データDは、図12(a)に示すように、同期用クロックSCKBの各変位点(立ち上がりと立ち下がりの両エッジ)にてそれぞれ同期を取り、前段に接続されているソースドライバS(n-1)から転送されてきているものである。

【0117】先の4チャンネルに分割された各立ち上がり同期データと各立ち下がり同期データは、スタートパルス信号SSPIを転送用クロックSCKAの立ち上がりに同期を取り、転送して出力するシフトレジスタ回路26の各出力に合わせて時分割でサンプリングメモリ回路27に送られて、パラレルデータに変換される。

【0118】サンプリングメモリ回路27に一旦記憶されたパラレルデータは水平同期信号LS(図示せず)に基づき、ホールドメモリ回路28に一括転送され、ホールドメモリ回路28の出力は次の水平同期信号LSが入力されるまで、そのパラレルデータをラッチする。

【0119】ここで、データラッチ出力回路24からサンプリングメモリ回路27へのデータ転送レートが1/4になっていることから、サンプリングメモリ回路27  
50

における、要求される高速対応も緩和され、セットアップ時間及びホールド時間にも余裕が出来、レイアウト等、回路設計が容易となる。また更なる高速なデータ転送レートも可能となるため、表示装置の大画面化、高微細化に対応できる。

【0120】4チャンネルに分割された表示データDは、データ出力コントロール回路25にて出力データの同期用クロック信号SCKBの変位点(立ち上がりと立ち下がりのエッジ)に同期を取って取り込むことで再度元の時系列の1チャンネルのシリアルデータに変換される〔図12(i)参照〕。

【0121】このデータ出力コントロール回路25の構成の1例を図13に示す。図13に示すように、4つの各トランスミッションゲート(変換手段)25cのそれぞれの入力に、データラッチ出力回路24の4つの出力をそれぞれ入力し、一方、各トランスミッションゲート25cの各出力を全て接続し、出力バッファ41に出力させる。

【0122】トランスミッションゲート25cの開閉を制御する各制御端子cont(Highレベルでトランスミッションゲート25cは開、逆にlowレベルではトランスミッションゲート25cは閉)には、制御信号として同期用クロック信号SCKBと及びこの信号を分周回路30にて分周した信号Qと、これらの各信号を反転させた同期用クロック信号/SCKBと、信号/Qとを基に、各AND回路25d...によって各制御信号A、B、C、Dを作成し所定の各制御端子contにそれぞれ入力してい  
る。

【0123】そして、図14に示すように、同期用クロック信号SCKBのエッジ(信号の立ち上がり時と立ち下がり時)に同期を取り、制御信号のHighレベルがA→B→C→D→A→B→...と、順次、遷移するような各制御信号A、B、C、Dを作成することで、パラレルデータである表示データDを元の時系列の1チャンネルのシリアルデータに戻す、つまり合成することができる。

【0124】尚、データ出力コントロール回路25の構成は、特にこの回路構成には限定されず、例えばトランスミッションゲート25cはMOSトランジスタや他のアナログスイッチ回路でもよい。同期用クロック信号SCKB、及び転送用クロック信号SCKAは、それぞれ、図11に示すように、出力反転バッファ回路22、23を介して、次段のソースドライバS(n+1)に対し反転させて出力される〔図12(j)、図12(k)参照〕。

【0125】このように、それぞれのクロック信号を反転させて次段に出力することで、次段S(n+1)の入力段での表示データD、同期用クロック信号SCKB及び転送用クロック信号SCKAのタイミング(位相)は、ソースドライバS(n)の入力段と同様なもの  
50 ができる。

【0126】つまり、高速な表示データDが各出力バッファ18~20、次段の各入力バッファ13~15を介してデータラッチ出力回路24に入力されても、このデータラッチ出力回路24が表示データDをラッチするのに必要なセットアップ時間、ホールド時間は確保されている。このことは、高速な表示データDを転送するに当たり、ソースドライバ1を多段に縦続接続してもなんら問題がないことを示している。

【0127】尚、図11や図13では、入力バッファ、出力バッファ等、説明に必要な回路は省略している。本実施形態3で構成されたソースドライバ1をTCP3に搭載し、液晶パネル4上に縦続接続して実装したシステム構成（液晶表示装置モジュール）の模式図は前述の図2と同様なものである。コントローラ回路6から出力される各信号は前述図3と同様なものである。本実施形態3で構成されたソースドライバ1の回路構成のブロック図を図15に示す。なお、図15では、データラッチ出力回路24からサンプリングメモリ回路27への配線は、各表示データR・G・Bについて、それぞれ、4本ずつであるが、識別不能となるため、それらの記載を1本に省略している。

【0128】〔実施の形態4〕以下に、本発明に係るさらに他の実施の形態としての実施の形態4について、図16~図19に基づいて説明する。この実施の形態4は、先の実施の形態3では例えば外部のコントローラ回路6において、同期用クロック信号SCKBを分周して、転送用クロック信号SCKAの発生と、及び信号の遅延をソースドライバ1内で行うものである。これにより、コントローラ回路6から初段のソースドライバ間の配線や、各ソースドライバ1間の配線や、TCP3上の配線を減らすことができるものである。

【0129】これにより、配線容量による波形鈍りや、高速なクロック信号配線間のカップリングの影響によるノイズ等の影響は低減することができ、より高速なデータ転送レートを実現できる。

【0130】本実施の形態4では、図16に示すように、DF/Fの入力Dと出力端子/Qを接続した構成により、クロック入力端子CKに入力される同期用クロック信号SCKBの立ち上がりに同期を取り、1/2分周された出力信号を転送用クロック信号SCKAとして作成している。図16での分周回路28は、先述の図13の分周回路30と同じものでよい。

【0131】この出力信号を次の遅延回路29（この遅延回路は先の図11の遅延回路27と同じでよい）に入力し、同期用クロック信号SCKBに対し、1/4位相遅延させて、転送用クロック信号SCKAを作成する。さらにこの転送用クロック信号SCKAを、前述の遅延回路27を介することで、さらに1/4位相遅延された転送用クロック信号SCKA1を作り出している。

【0132】この後の各信号のタイミングは、図12に

示す、転送用クロック信号SCKAの出力〔図12

（k）参照〕が省略されるだけで、あとは前述の図12を用いて説明した構成および動作と同じとなるため、それらの詳細な説明は省略する。

【0133】本実施の形態4で構成されたソースドライバ1をTCPに搭載し、液晶パネル4上に縦続接続して実装したシステム構成（液晶表示装置モジュール）の模式図を図17に示す。図17の各配線をより明確にするため、コントローラ回路6から出力される各信号を図18に示す。本実施の形態4で構成されたソースドライバ1の回路構成のブロック図を図19に示す。

【0134】なお、上記の実施の各形態1ないし4では、表示データDを2チャンネルまたは4チャンネルに分割してパラレルデータに変換する構成を示したが、上記に限定されることはなく、入力部としてのデータラッチ出力回路24において、例えば、シリアルデータである表示データDを1チャンネルからNチャンネルに分割してパラレルデータに変換し、出力部としてのデータ出力コントロール回路25において、再度Nチャンネルから元の1チャンネルに戻すことによりクロック周波数を、表示データDにおける必要なデータ転送レート（データ周波数）のN分の1とするように構成して、さらに、転送用クロック信号SCKAのクロック周波数の低減を図ってもよい。

【0135】また、上記の実施の各形態1ないし4では、1相または2相の転送用クロック信号を用いた例で説明したが、m相の転送用の各クロック信号でも実現可能である。特に $m=2^k$ （ $k=1, 2, 3, \dots$ ）の場合、次に続く回路構成とは整合がよい。この場合、m個の各クロック信号の位相は、順次、互いに $1/(2m)$ 相ずらずらすことで実現できる。このとき、表示データDは、2mチャンネルに分割されてパラレルデータに変換されることになり、よって、表示データDのデータ転送レートは $1/(2m)$ に低減できることになる。

【0136】以上、本発明について、液晶駆動装置を用いて説明を行ってきたが本発明は液晶駆動装置に限らず、1個もしくは複数の表示素子駆動用半導体装置を縦続接続し、スタートパルス信号をクロック信号で同期して各表示素子駆動用半導体装置間にて転送し、この転送信号により表示データDを取り込み、ある周期でラッチをかけて表示を行い、これを繰り返すことで1画面を表示する表示装置に有効に適用される。

【0137】本発明は、特にX方向及び上記X方向に直交するY方向に、各駆動装置をそれぞれ具備し、前記スタートパルス信号をクロック信号に同期して、各駆動装置間にて転送し、この転送信号により映像信号を時分割に選択して取り込み、水平同期信号周期でラッチをかけて表示を行い、これを繰り返して1画面を表示する表示装置に有効である。

【0138】さらに、本発明は、表示画面の大画面化、

高精細化に伴い表示データDにおける必要な高速なデータ転送レートに容易に対応できて、表示画質の向上と向上した表示画質の安定化といった、表示画質の高信頼性化に有効である。

【0139】また、本発明では、ソースドライバ1等といった半導体装置内部のクロック信号の動作周波数を低減することで、低電圧駆動にも対応でき、結果的には低消費電力化も可能となり、その上、動作周波数低減による低雑音化からも信頼性の高い半導体装置およびそれを用いた表示装置モジュールを実現できる。

【0140】また、上記の各形態1〜4では、ソースドライバ1等のチップをTCP3上に搭載した半導体装置を液晶パネル4の電極（ITO線）に、例えば、異方性導電膜（ACF）等を介して熱圧着により実装した構成で説明したが、本発明においては、TCP形態ではなく、フレキシブル基板やフィルム等の含む絶縁テープ上にコントローラ回路6も含んで搭載してもよい。

【0141】さらに、本発明では、チップオンガラス（COG）方式として半導体装置をチップ形態にて液晶パネル4の電極（ITO線）に、例えば、異方性導電膜（ACF）等を介して熱圧着により直接実装した構成でもよく、さらに低温ポリシリコン技術等により液晶パネル4のガラス基板上に回路を形成したサーキットイングラス（CIG）方式でも実現可能である。

#### 【0142】

【発明の効果】本発明の半導体装置では、以上のように、複数、縦続接続された、半導体処理部の入力部には、自己転送方式で転送されるシリアルデータの表示用データ信号を、クロック信号の立ち上がり・立ち下りの両エッジをデータ取り込みタイミングとすることで、1チャンネルからNチャンネル（Nは自然数）に分割してパラレルデータに変換するための分割手段が設けられ、上記半導体処理部の出力部には、Nチャンネルに分割されてパラレルデータに変換された該表示用データ信号を再度1チャンネルのシリアルデータに合成する合成手段が設けられている構成である。

【0143】それゆえ、上記構成では、転送用のクロック信号の周波数は、表示用データ信号のデータ転送レート（データ周波数）のN分の1に低減、例えば、2チャンネルの場合では半分に低減できると共に、合成手段により次段の半導体処理部に順次転送する表示用データ信号の転送タイミングを制御、例えば遅延できるので、各半導体処理部における、表示用データ信号のデータ取り込みタイミングの仕様（データセットアップ／ホールド時間）を確保し易くなる。

【0144】その結果、上記構成では、上記半導体装置を、例えば、表示装置モジュールとしての液晶表示装置モジュールに液晶表示装置の駆動装置として搭載し、液晶表示装置の高精細化に伴って、表示用データ信号の転送に必要なデータ周波数が高速となっても、クロック信

号の周波数を低減できるので、転送用のクロック信号のデューティ比を各半導体装置内部で問題なく確保でき、かつ、データ取り込みタイミングの仕様を保証し易くなることから、上記クロック信号の動作周波数の拡大と、クロック信号の動作周波数の低減による、表示動作への高い信頼性を得ることができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1に係る、液晶表示装置モジュールの駆動装置である半導体装置としてのソースドライバの回路構成を示すブロック図である。

【図2】上記液晶表示装置モジュールを示す平面図である。

【図3】上記半導体装置のコントローラ回路の各端子を示す説明図である。

【図4】上記ソースドライバ内の要部ブロック図である。

【図5】上記ソースドライバにおける各信号のタイミングチャートである。

【図6】本発明の実施の形態2に係る、液晶表示装置モジュールの平面図である。

【図7】上記液晶表示装置モジュールのソースドライバのコントローラ回路の各端子を示す説明図である。

【図8】上記ソースドライバソースドライバの回路構成のブロック図である。

【図9】上記ソースドライバ内の要部ブロック図である。

【図10】上記ソースドライバにおける各信号のタイミングチャートである。

【図11】本発明の実施の形態3に係るソースドライバの要部ブロック図である。

【図12】上記ソースドライバにおける各信号のタイミングチャートである。

【図13】上記ソースドライバのデータ出力コントロール回路のブロック図である。

【図14】上記データ出力コントロール回路の各信号のタイミングチャートである。

【図15】上記ソースドライバのブロック図である。

【図16】本発明の実施の形態4に係るソースドライバの要部ブロック図である。

【図17】上記ソースドライバを備えた液晶表示装置モジュールの平面図である。

【図18】上記ソースドライバのコントローラ回路の各端子を示す説明図である。

【図19】上記ソースドライバのブロック図である。

【図20】従来の液晶表示装置モジュールの平面図である。

【図21】上記液晶表示装置モジュールに用いられているソースドライバのコントローラ回路の各端子を示す説明図である。

【図22】上記ソースドライバの回路構成を示すブロッ

ク図である。

【図23】上記ソースドライバにおけるデータ取り込みタイミングを示すタイミングチャートである。

【符号の説明】

- 1 ソースドライバ (半導体処理部)
- 2 ゲートドライバ (半導体処理部)
- 3 TCP
- 4 液晶パネル
- 5 フレキシブル基板
- 6 コントローラ回路
- 24 データラッチ出力回路 (分割手段)

25 データ出力コントロール回路 (合成手段)

25c トランSMissionゲート (変換手段)

D 表示データ (信号)

R・G・B 表示データ (信号)

SCKA クロック信号 (転送用クロック信号)

SCKB クロック信号 (同期用クロック信号)

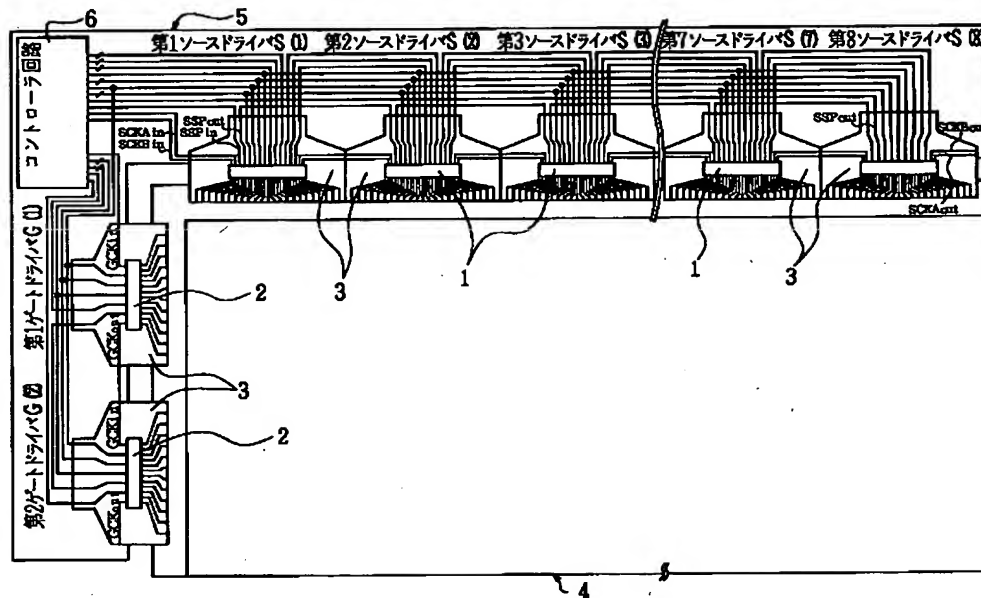
SCKD クロック信号 (同期用クロック信号)

SSPI スタートパルス入力信号 (信号)

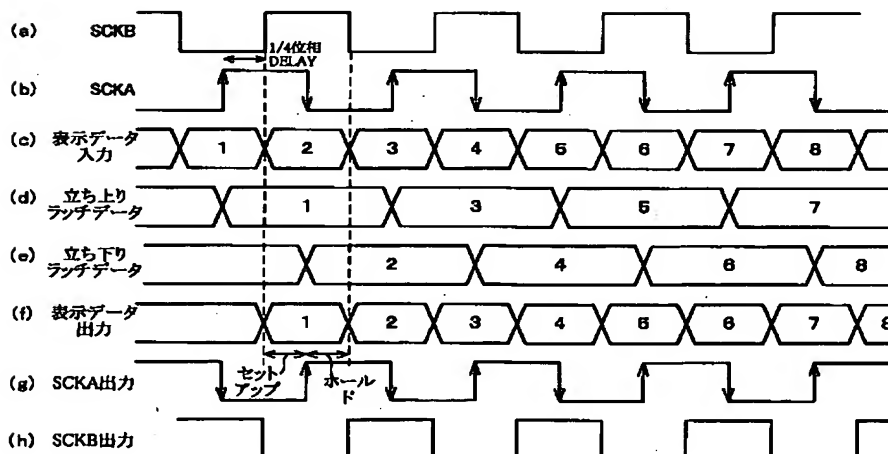
GCK クロック信号

10 GSPI スタートパルス入力信号 (信号)

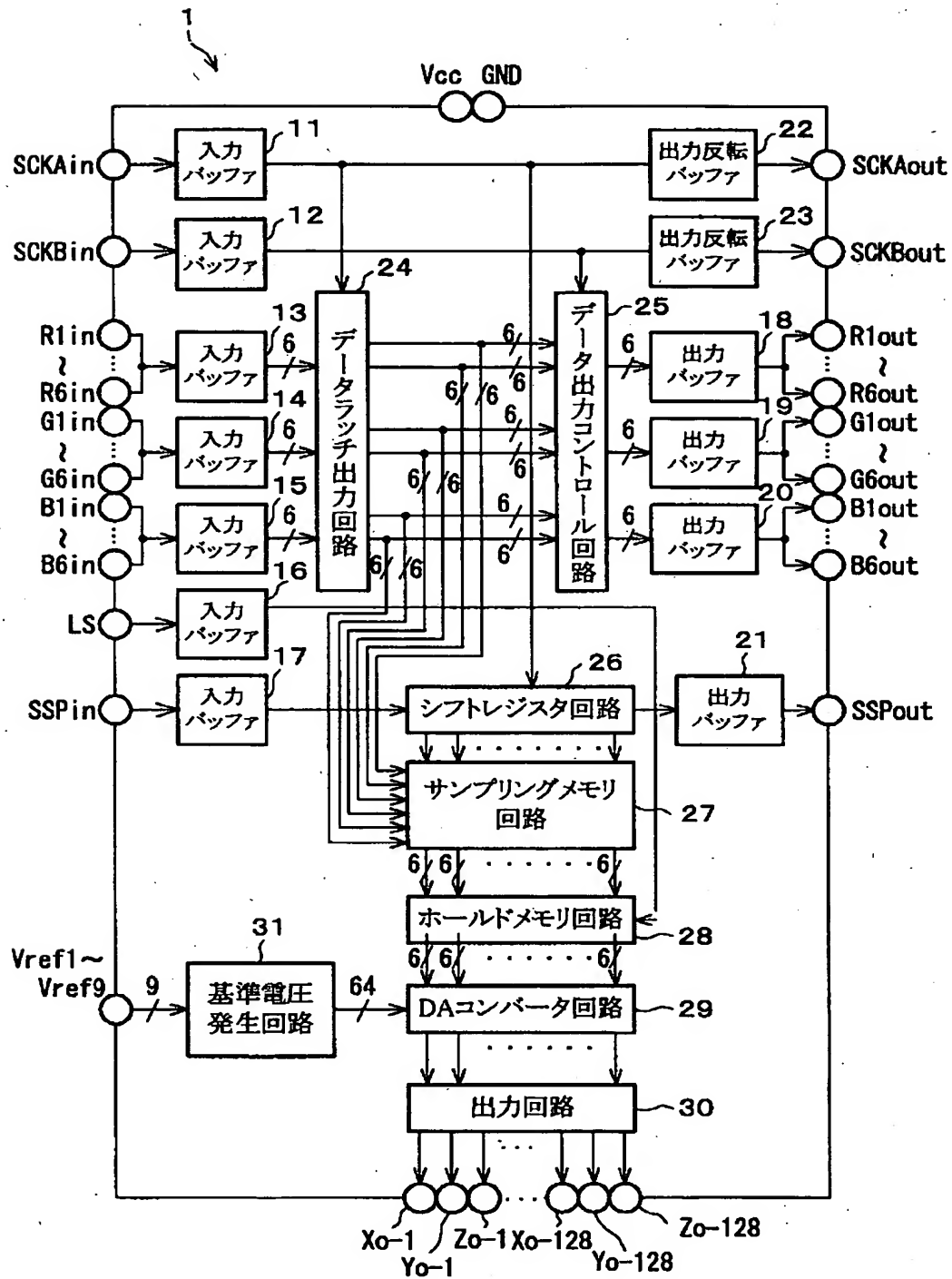
【図2】



【図5】

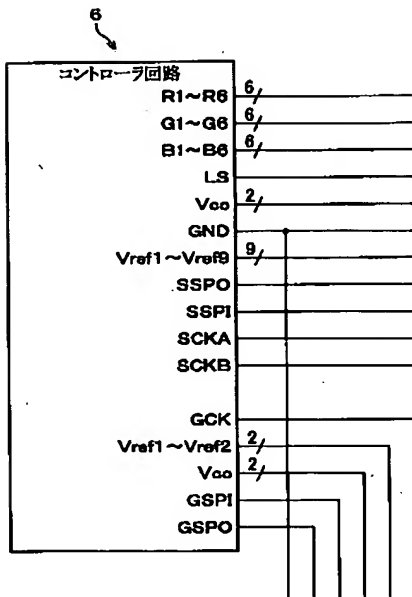


【図1】

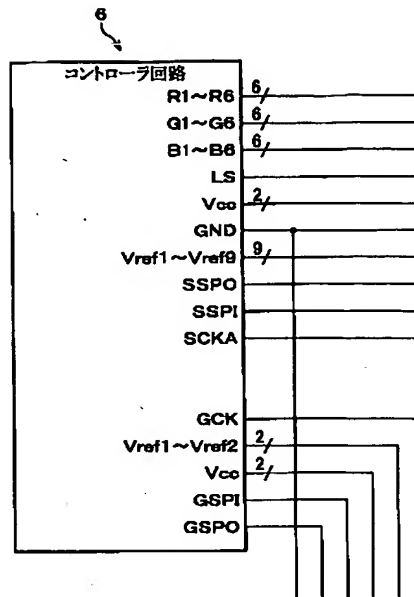




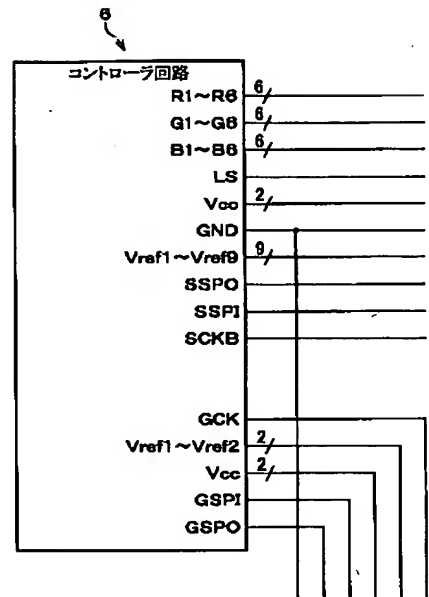
【図 3】



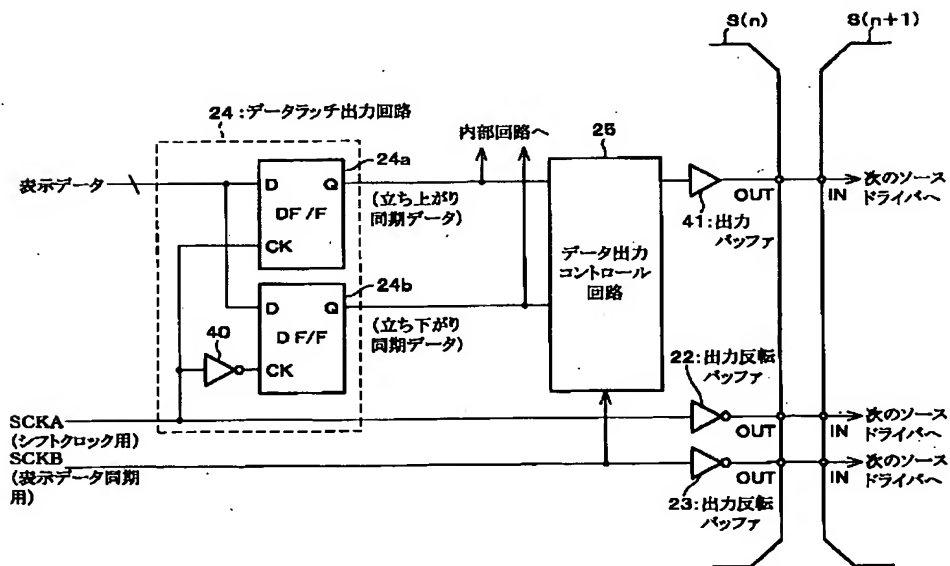
【図 7】



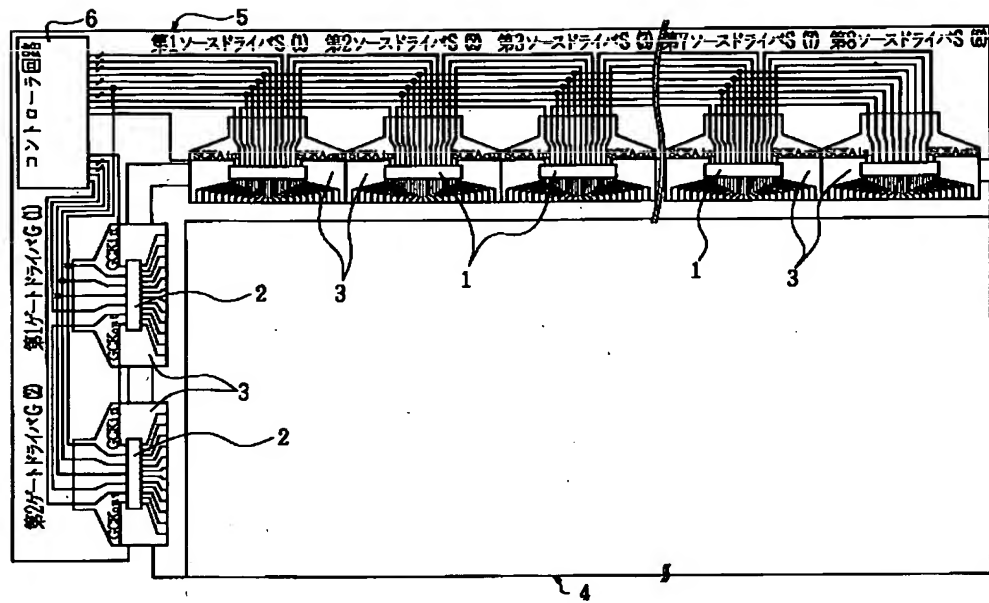
【図 18】



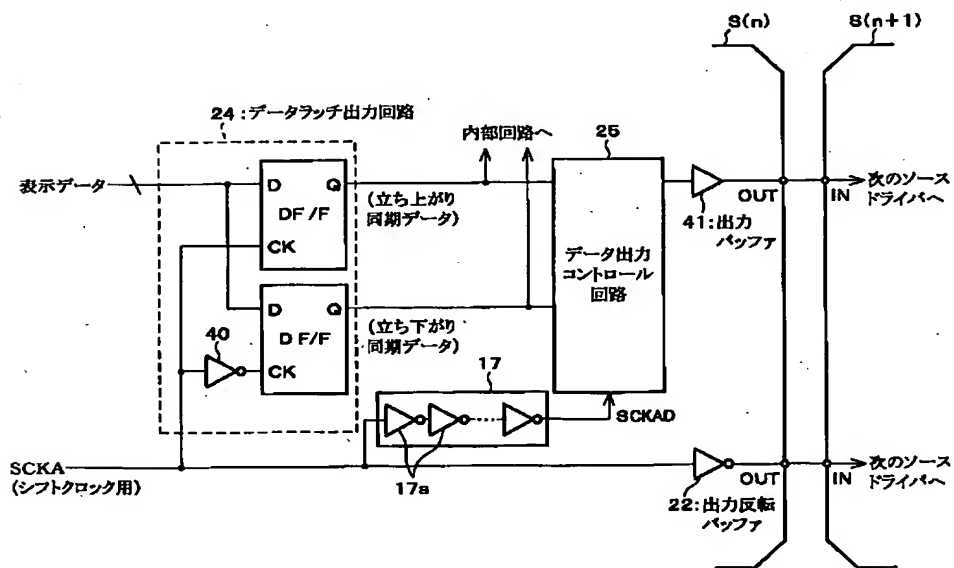
【図 4】



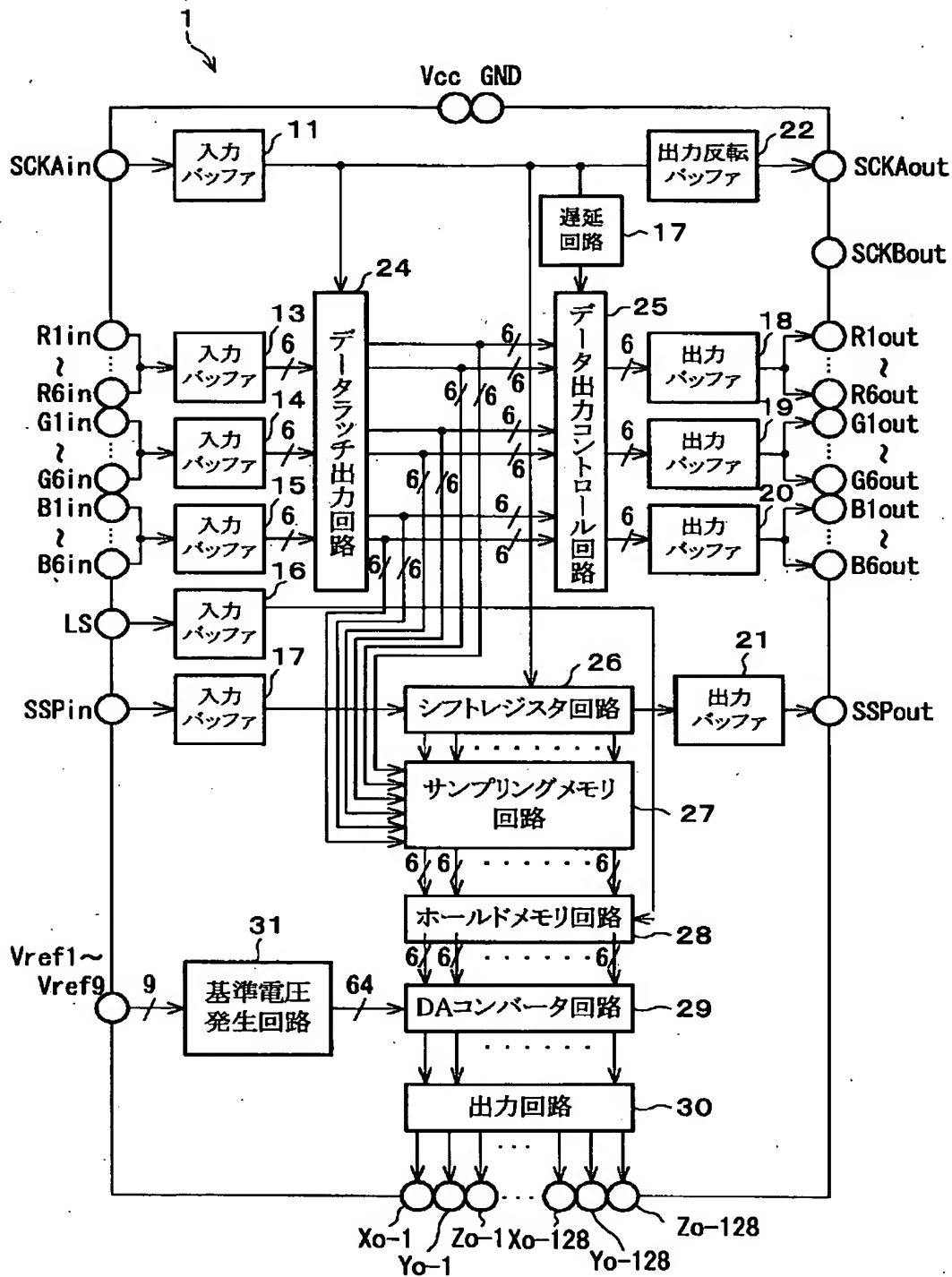
【図 6】



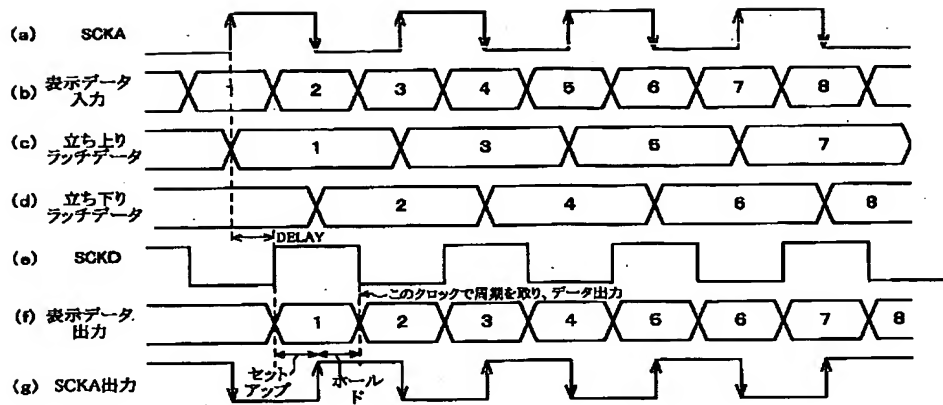
【図 9】



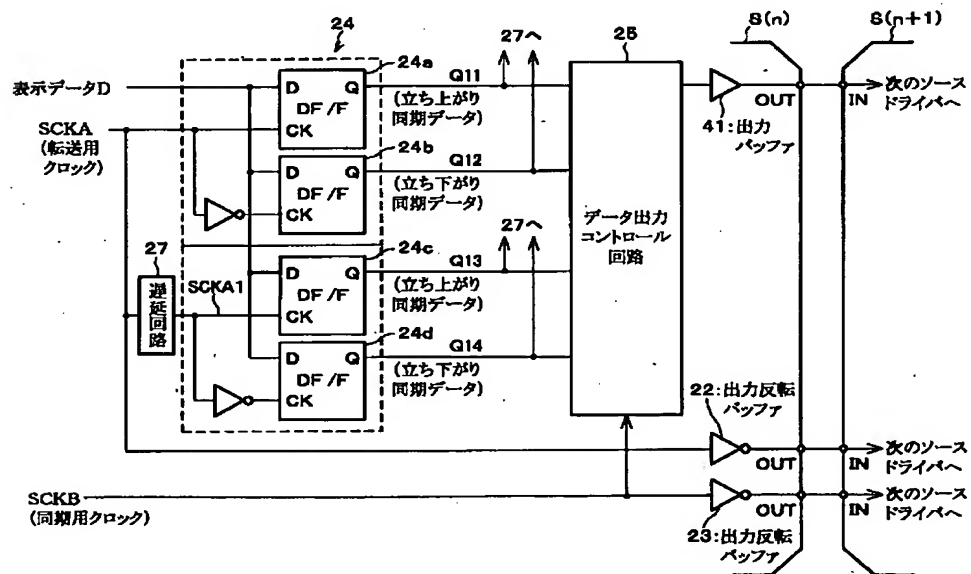
【図 8】



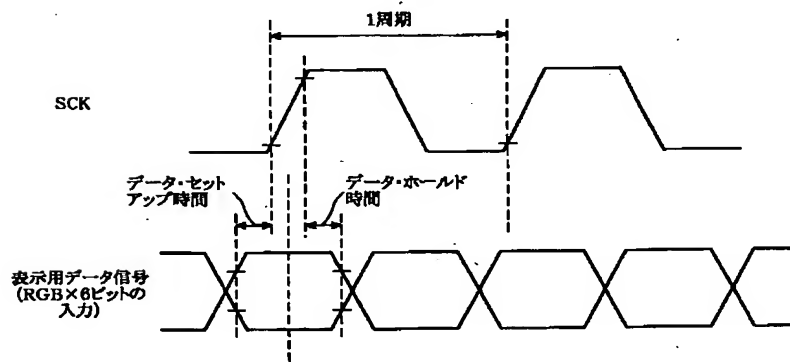
【図10】



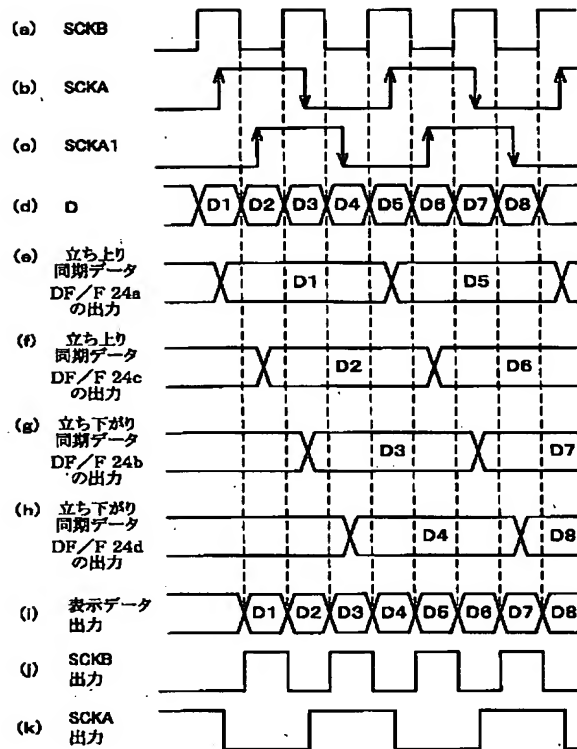
【図11】



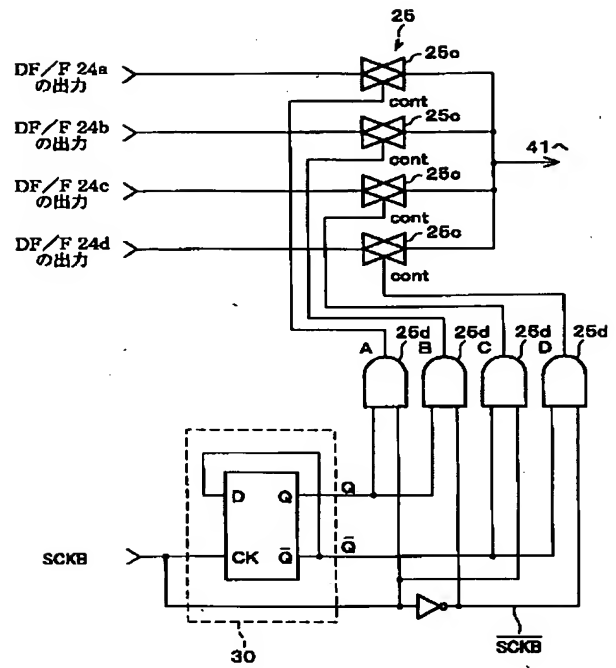
【図23】



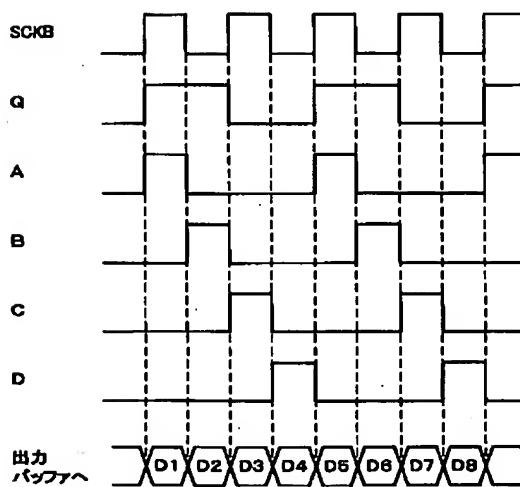
【図 12】



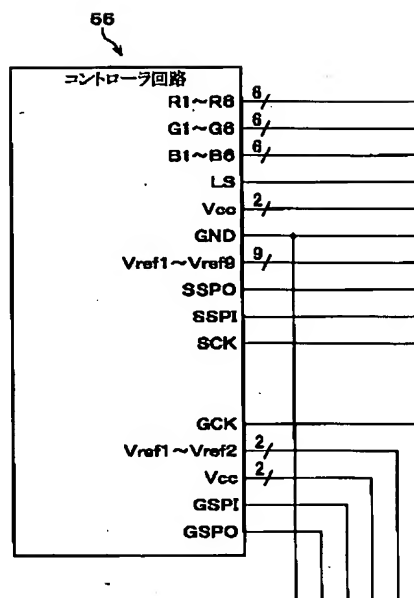
【図 13】



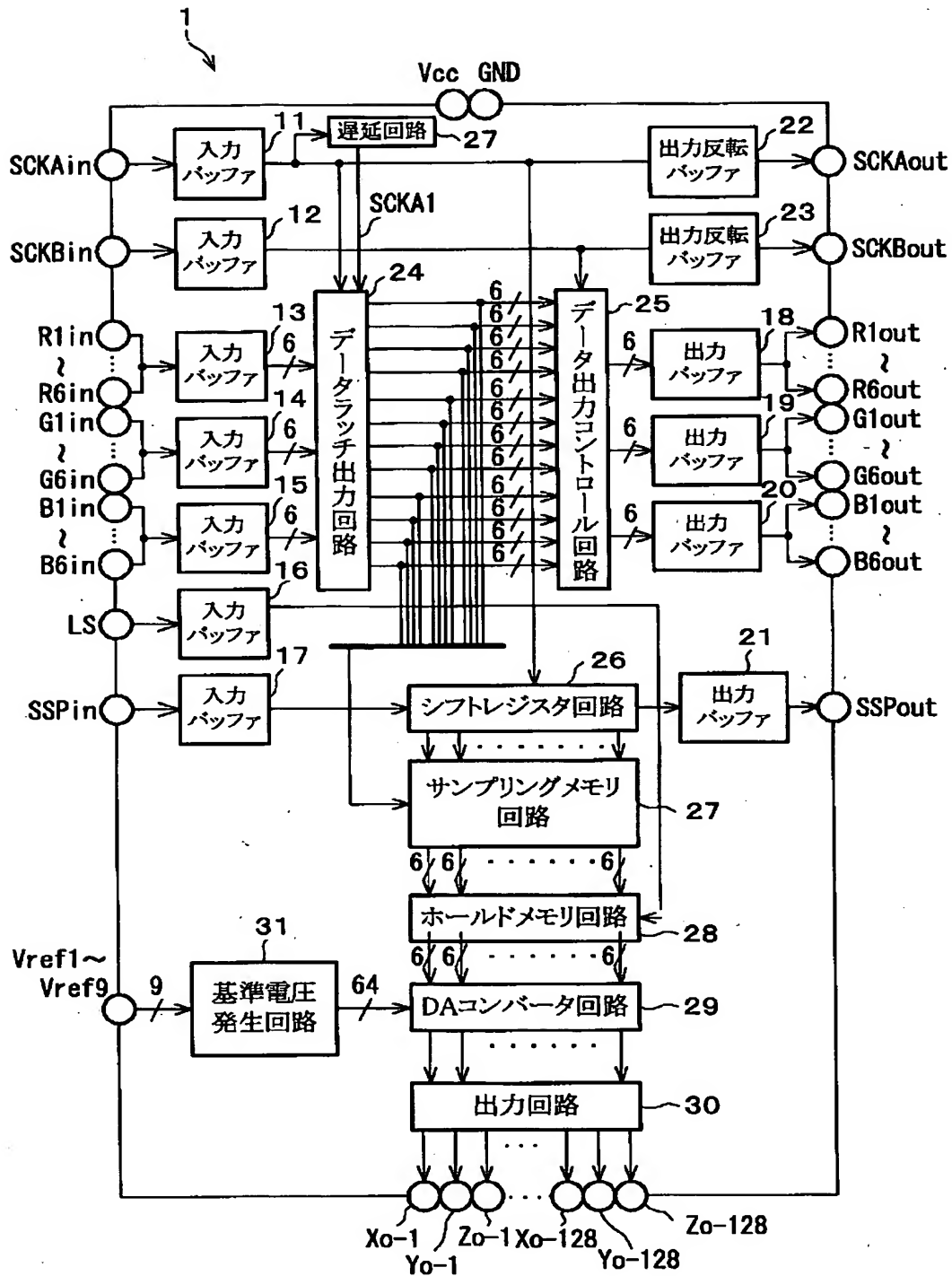
【図 14】



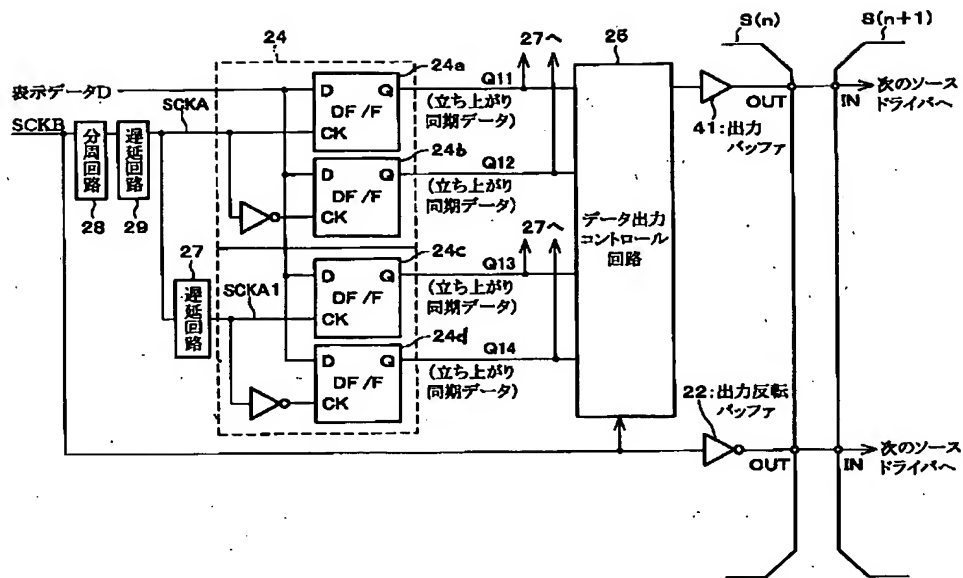
【図 21】



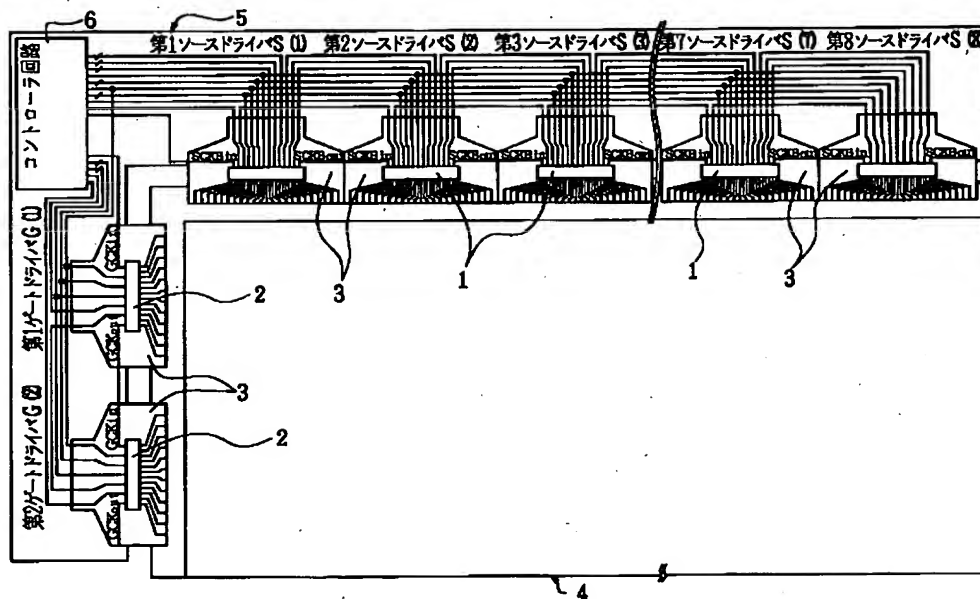
【図15】



【図16】

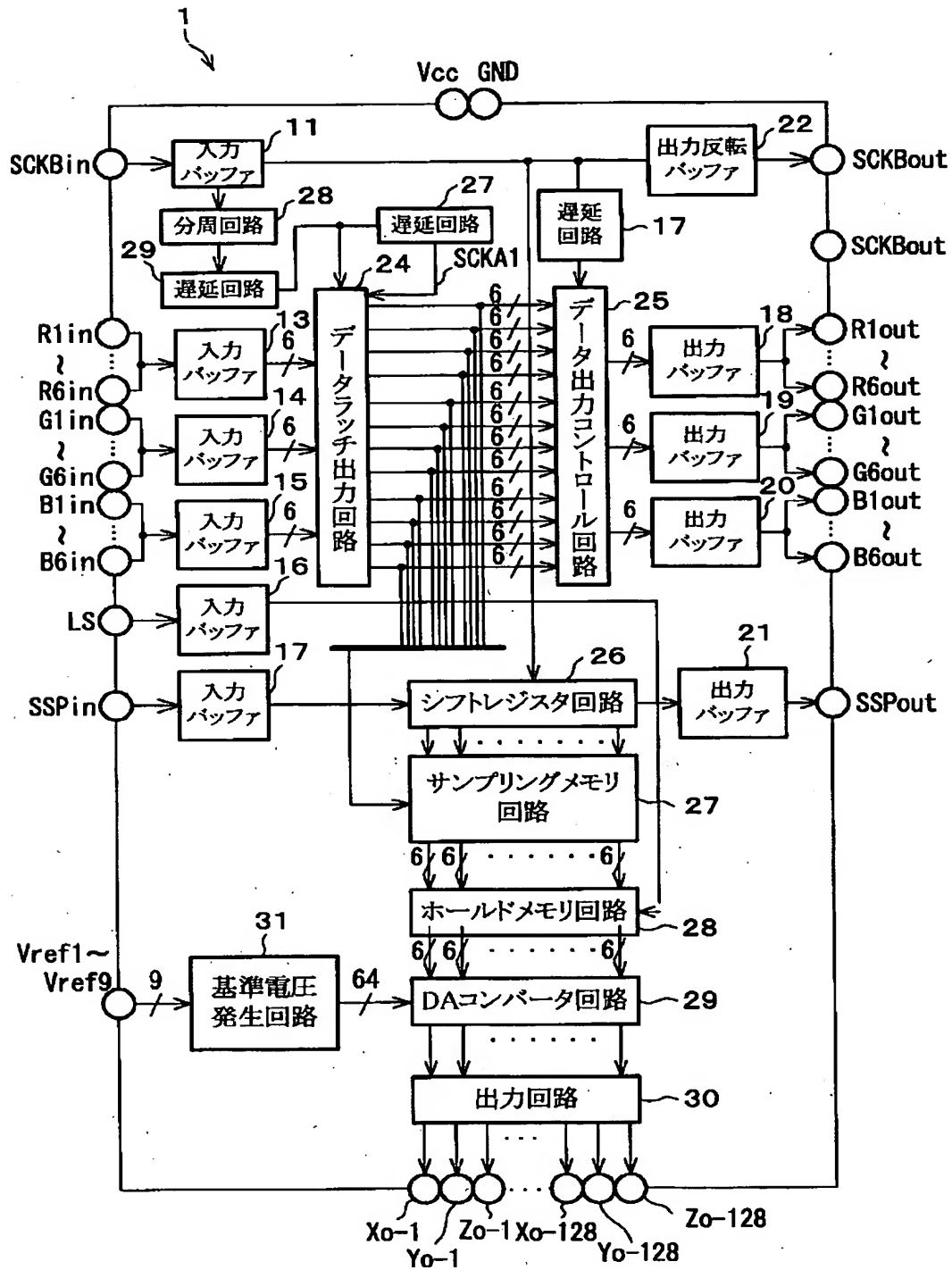


【図17】

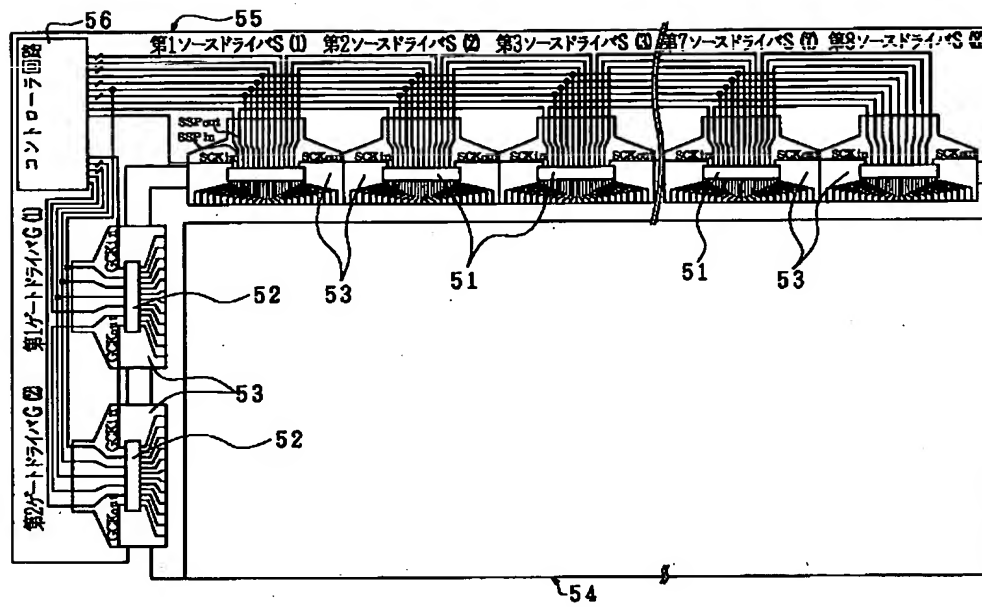




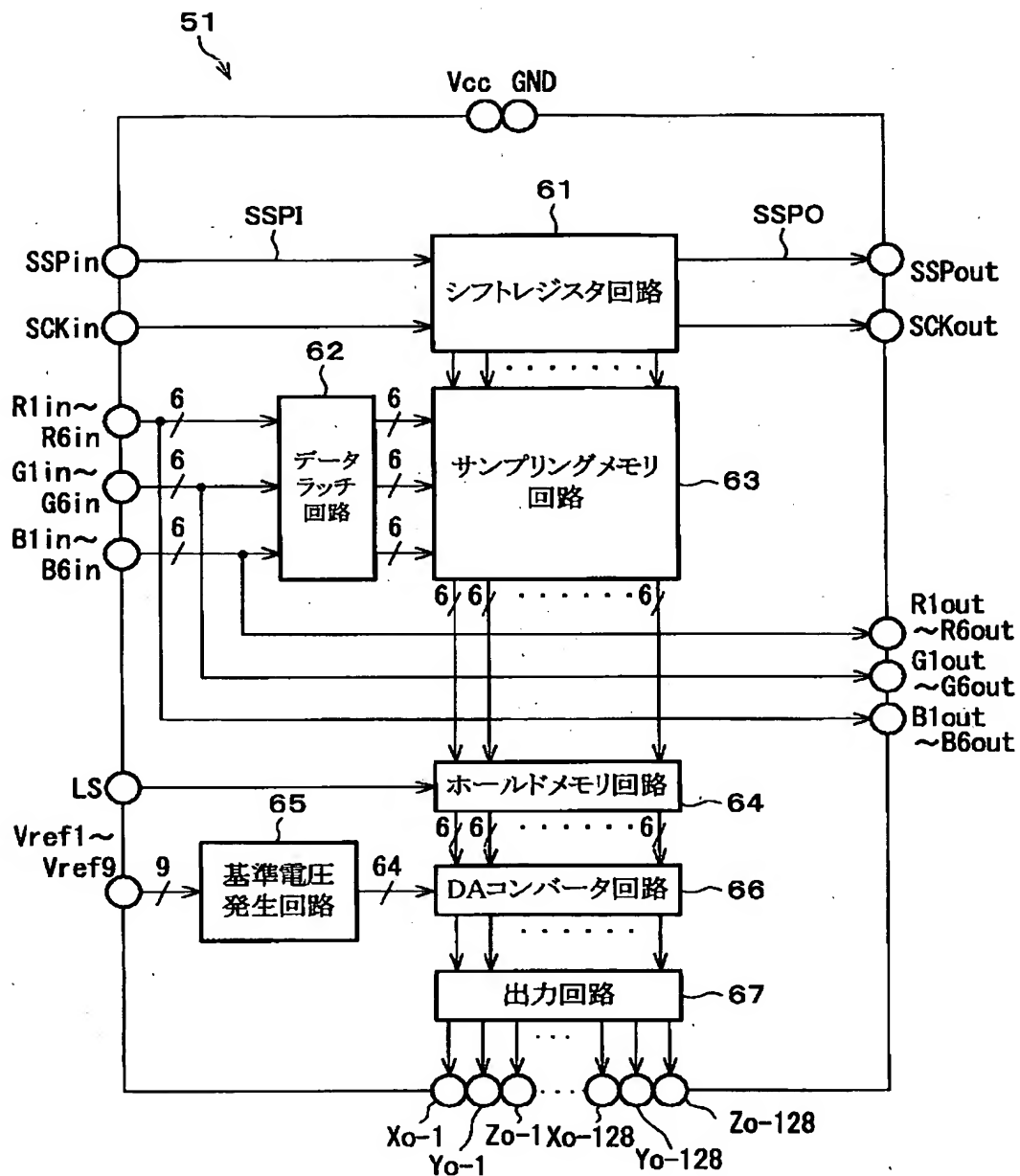
【図19】



【図20】



【図 22】



フロントページの続き

Fターム(参考) 5C006 AA16 AC21 AF72 AF83 BB16  
 BC12 BF03 BF04 BF06 BF27  
 FA12 FA16  
 5C080 AA10 BB05 DD07 DD08 EE29  
 FF11 JJ02 JJ04 JJ06

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**